

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月 8日

出願番号

Application Number:

特願2002-325772

[ST.10/C]:

[JP2002-325772]

出願人

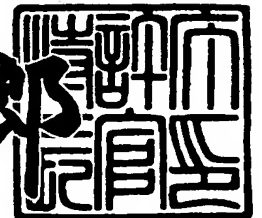
Applicant(s):

沖電気工業株式会社

2003年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3035403

【書類名】 特許願

【整理番号】 OH003762

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

 【氏名】 閑野 義則

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100085419

 【弁理士】

 【氏名又は名称】 大垣 孝

【手数料の表示】

 【予納台帳番号】 012715

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 複数の電極パッドを具えている第 1 の主表面と、該第 1 の主表面に対向する第 2 の主表面と、該第 1 の主表面と該第 2 の主表面との間の複数の側面とを有する半導体チップと、

第 1 の面と、該第 1 の面と対向する第 2 の面とを有していて、前記半導体チップの前記側面に接して該半導体チップを囲み、前記第 1 の面が該第 1 の主表面のレベルと、実質的に同一のレベルとなるように形成されている拡張部と、

複数の前記電極パッドの一部分を露出させて、前記第 1 の面上及び前記第 1 の主表面上に形成されている絶縁膜と、

前記電極パッドの各々に電氣的に接続されていて、該電極パッドから前記拡張部の第 1 の面の上側へと導出されている、複数の配線パターンと、

前記配線パターン及び前記絶縁膜上に、該配線パターンの一部分を露出させて形成されている封止部と、

前記拡張部の上側を含む領域の前記配線パターン上に設けられた複数の外部端子とを具えていることを特徴とする半導体装置。

【請求項 2】 前記配線パターンと前記外部端子との間に形成されている複数の電極ポストとを具え、

前記封止部は、前記電極ポストの頂面を露出するように形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記拡張部の第 2 の面及び前記半導体チップの第 2 の主表面とを支持する下地を具えていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記拡張部は、前記封止部の成形収縮よりも大きい成形収縮を有する材料により形成されていることを特徴とする請求項 1 ～ 3 のいずれか一項に記載の半導体装置。

【請求項 5】 前記拡張部は、ガラス転移温度よりも低い温度範囲での線膨張係数が $1.5 \times 10^{-5} / ^\circ\text{C}$ よりも小さく、かつ弾性率が $7.8 \sim 22 \text{ GPa}$ の

範囲の液状樹脂により形成されていることを特徴とする請求項 1 ～ 4 のいずれか一項に記載の半導体装置。

【請求項 6】 (1) 下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で、設定する工程と、

(2) 前記半導体チップ配置領域上に、複数の電極パッドを具えている第 1 の主表面と、該第 1 の主表面に対向する第 2 の主表面と、該第 1 の主表面と該第 2 の主表面との間の複数の側面とを有する半導体チップを、該第 2 の主表面と対面させて設ける工程と、

(3) 前記下地上に、第 1 の面と、該第 1 の面に対向する第 2 の面とを有して、前記半導体チップの前記側面に接して該半導体チップを囲み、前記第 1 の面のレベルが該第 1 の主表面のレベルと実質的に同一のレベルとなるように形成されている拡張部を形成する工程と、

(4) 前記拡張部の第 1 の面上及び前記第 1 の主表面上に、絶縁膜を、前記電極パッドの一部分を露出させて形成する工程と、

(5) 前記絶縁膜上に、前記電極パッドの各々に電氣的に接続されていて、該電極パッドから前記拡張部の第 1 の面の上側へと導出されている複数の配線パターンを形成する工程と、

(6) 前記配線パターン及び前記絶縁膜上に、封止部を、前記第 1 の面の上側に位置する該配線パターンの一部分を露出させて形成する工程と、

(7) 前記拡張部の上側を含む領域の前記配線パターン上に、複数の外部端子を接続して形成する工程と、

(8) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 (1) 下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で、設定する工程と、

(2) 前記半導体チップ配置領域上に、複数の電極パッドを具えている第 1 の主表面と、該第 1 の主表面に対向する第 2 の主表面と、該第 1 の主表面と該第 2 の主表面との間の複数の側面とを有する半導体チップを、該第 2 の主表面と対面

させて設ける工程と、

(3) 前記下地上に、第1の面と、該第1の面と対向する第2の面とを有して、前記半導体チップの前記側面に接して該半導体チップを囲み、前記第1の面のレベルが該第1の主表面のレベルと実質的に同一のレベルとなるように形成されている拡張部を形成する工程と、

(4) 前記拡張部の第1の面上及び前記第1の主表面上に、絶縁膜を、前記電極パッドの一部分を露出させて形成する工程と、

(5) 前記絶縁膜上に、前記電極パッドの各々に電氣的に接続されていて、該電極パッドから前記拡張部の第1の面の上側へと導出されている複数の配線パターンを形成する工程と、

(6) 前記拡張部の上側に位置する前記配線パターンの一部分上の各々に、複数の電極ポストを形成する工程と、

(7) 前記配線パターン及び前記絶縁膜上に前記電極ポストの頂面を露出させた封止部を形成する工程と、

(8) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(9) 複数の前記半導体チップ間を切断して該半導体チップを含む半導体装置の個片化を行う工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項8】 前記外部端子を形成する工程の後に、

前記拡張部の第2の面及び前記第2の主表面から、前記下地を、除去する工程をさらに含むことを特徴とする請求項6又は7に記載の半導体装置の製造方法。

【請求項9】 (1) 複数の凹部を具えた治具を準備する工程と、

(2) 前記凹部内に、複数の電極パッドを具えている第1の主表面と、該第1の主表面に対向する第2の主表面と、該第1の主表面と該第2の主表面との間の複数の側面とを有する半導体チップを、該第2の主表面と対面させて配置する工程と、

(3) 前記治具上に、第1の面と、該第1の面と対向する第2の面とを有して、前記半導体チップの前記側面に接して該半導体チップを囲み、該第1の面のレベルが該第1の主表面のレベルと実質的に同一のレベルとなるように形成さ

れている拡張部を形成する工程と、

(4) 前記拡張部の第1の面上及び前記第1の主表面上に、絶縁膜を、前記電極パッドの一部分を露出させて形成する工程と、

(5) 前記絶縁膜上に、前記電極パッドの各々と電氣的に接続されていて、該電極パッドから前記拡張部の第1の面の上側へと導出されている複数の配線パターンを形成する工程と、

(6) 前記配線パターン及び前記絶縁膜上に、封止部を、前記第1の面の上側に位置する該配線パターンの一部分を露出させて形成する工程と、

(7) 前記拡張部の上側を含む領域の前記配線パターン上に、複数の外部端子を接続して形成する工程と、

(8) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項10】 (1) 複数の凹部を具えた治具を準備する工程と、

(2) 前記凹部内に、複数の電極パッドを具えている第1の主表面と、該第1の主表面と該第2の主表面との間の複数の側面とを有する半導体チップを、該第2の主表面と対面させて配置する工程と、

(3) 前記治具上に、第1の面と、該第1の面と対向する第2の面とを有していて、前記半導体チップの前記側面に接して該半導体チップを囲み、該第1の面のレベルが該第1の主表面のレベルと実質的に同一のレベルとなるように形成されている拡張部を形成する工程と、

(4) 前記拡張部の第1の面上及び前記第1の主表面上に、絶縁膜を、前記電極パッドを露出させて形成する工程と、

(5) 前記絶縁膜上に、前記電極パッドの各々と電氣的に接続されていて、該電極パッドから前記拡張部の第1の面の上側へと導出されている複数の配線パターンを形成する工程と、

(6) 前記拡張部の上側に位置する前記配線パターンの一部分上の各々に電氣的に接続されている電極ポストを、形成する工程と、

(7) 前記配線パターン及び前記絶縁膜上に前記電極ポストの頂面を露出させ

た封止部を形成する工程と、

(8) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(9) 前記拡張部の第2の面及び前記第2の主表面から、前記治具を、除去する工程と、

(10) 複数の前記半導体チップ間を切断して該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項11】 請求項9又は10に記載の半導体装置の製造方法において

前記工程(2)の後に、前記凹部の底面部に、前記半導体チップを、該凹部に設けられている貫通孔及び該貫通孔に接続されている吸排気系により、吸引保持する工程をさらに含み、

当該吸引保持する工程の後に、前記拡張部の第1の面上及び前記第1の主表面上に、絶縁膜を、前記電極パッドの一部分を露出させて形成する工程を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に関し、特に外部端子のさらなる増加に対応するための構成を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、パッケージ化された半導体装置のさらなる小型化、薄型化が要求されている。この要求に応えるために、パッケージの外形サイズが半導体チップの外形サイズと実質的に同一である、ウェハレベルチップサイズパッケージ(Wafer Level Chip Size Package)(以下、単にWCSPとも称する。)と呼ばれるパッケージ形態が提案されている。

【0003】

WCSPは、半導体チップを含んでいる。この半導体チップは、所定の機能を

有する回路素子及びこの回路素子上に電氣的に接続されている複数の電極パッドを具えている。第1の主表面上には、複数の電極パッドを、露出させるように、絶縁膜が形成されている。

【0004】

この絶縁膜の表面上には、露出している電極パッドに接続され、かつ複数の配線パターンが形成されている。

【0005】

これらの配線パターン上には、電極ポストが形成されている。そして、この絶縁膜と配線パターンとを覆い、かつ電極ポストの頂面が露出するように封止部が形成されている。

【0006】

さらに、電極ポストの頂面上には、例えばBGAパッケージの場合には半田ボールとして設けられた、複数の外部端子を具えている。

【0007】

このようにWCSPは、半導体チップの回路形成面上に相当する領域に、複数の外部電極を、例えば格子状に設けるファンイン構造を有している。

【0008】

このような構造の外部電極を具えている半導体チップを、プリント板上に搭載するにあたり、プリント板と外部電極との接続部における破断の発生を防止する目的で、電極パッドを有する半導体チップと、半導体チップ上の所定の位置に形成され、電極パッドに接続される配線と、配線上の所定の位置に形成され、配線に接続される外部電極と、外部電極に接続されるプリント板と、半導体チップ上に形成された基板を有していて、基板及びプリント板の熱膨張を整合させるための樹脂層が基板上に設けられている構成、特に外部電極が樹脂層上に設けられている構造をとる半導体装置が知られている（例えば、特許文献1参照。）。

【0009】

【特許文献1】

特開2000-208556号公報（特許請求の範囲及び図5）

【0010】

【発明が解決しようとする課題】

半導体装置の高機能化に伴い、1つのパッケージ化された半導体装置に形成される外部端子の数は、ますます増加する傾向にある。従来、このような外部端子の増加に対する要求には、隣接する外部端子同士の間隔を狭める構成とすることで対応している。外部端子の配置間隔と配置位置とに関しては、以下説明するように設計の自由度が著しく制限されている。

【0011】

上述した従来のWCSPは、隣接する外部端子同士の最小間隔は、具体的には0.5mm程度とされている。また、7mm×7mm角のWCSPの場合には、設けられている外部端子の数は160程度である。

【0012】

パッケージ化された半導体装置のさらなる外部端子の増加に対する要求により、7mm×7mm角のWCSPに300程度の外部端子を設けることが望まれている。

【0013】

上述したWCSPにおいて、隣接する外部端子同士の間隔をより狭めて、WCSPの表面上により多数の外部電極を形成することは、技術的には不可能ではない。

【0014】

しかしながら、7mm×7mm角のWCSPの表面積に300個の外部端子を形成することは、かなり困難である。また、外部端子同士の間隔を狭めると、WCSPを実装基板上に実装するためには、極めて高度な技術が必要となる。

【0015】

例えば、複数の外部端子同士の間隔を、0.3mm～0.7mm程度の範囲で、実装基板の実装ピッチに合わせて形成することが求められる場合もある。

【0016】

このような場合に、従来のパッケージの構成では、基板上に半導体チップを、いわゆるフリップチップ接続により接続して、当該半導体チップを基板を介して、外部電極と接続するか又はワイヤボンディングにより基板と半導体チップとを

接続して、基板を介して外部電極と接続している。いずれの接続手法も基板を使用するため、また、ワイヤのループの高さ分の封止材が余計に必要となるため、パッケージが厚くなってしまふ。さらには基板のコストがかかるため、パッケージが高価となってしまふ。特にフリップチップ接続の場合には、より高価なビルドアップ基板が必要となることから、パッケージがより高価なものとなってしまふ。

【 0 0 1 7 】

また、一方、ワイヤボンディングによる接続を行った場合には、ワイヤ部分のインダクタンスが高くなってしまふ。

【 0 0 1 8 】

そこで、この発明の目的は、外部端子の配置間隔と配置位置の設計自由度が高まると共に、パッケージ自体のコンパクト化が可能な構成を有する半導体装置を提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】

この目的の達成を図るため、この発明の半導体装置は、下記のような構成上の特徴を有している。すなわち、この発明の半導体装置は、複数の電極パッドを具えている第1の主表面と、第1の主表面に対向する第2の主表面と、該第1の主表面と第2の主表面との間に1又は2以上の側面とを有する半導体チップを含んでいる。

【 0 0 2 0 】

この半導体チップは、第1の面と、当該第1の面に対向する第2の面とを有していて、第1の面が第1の主表面のレベルと、実質的に同一のレベルとなるように形成されている拡張部により、半導体チップの側面に接するように囲まれている。

【 0 0 2 1 】

そして、第1の面上及び第1の主表面上には、複数の電極パッドを露出させるように絶縁膜が形成されている。

【 0 0 2 2 】

電極パッドの各々には、複数の配線パターンが個別に電氣的に接続されている。これらの配線パターンは、電極パッドから拡張部の第 1 の面の上側へと導出されている。

【 0 0 2 3 】

配線パターンが形成されている絶縁膜上には、封止部が、配線パターンの一部分を露出するように形成されている。

【 0 0 2 4 】

拡張部の上側を含む領域には、配線パターン上に電氣的に接続されるように設けられた複数の外部端子とを具えている。

【 0 0 2 5 】

この発明の半導体装置の構成によれば、半導体チップに接してこれを囲むように設けられている拡張部の上側にも、外部端子を設けることができる構成としてあるので、外部電極の配置間隔及び配置位置等の設計の自由度を増大させた半導体装置を提供することができる。また、この発明の半導体装置は、いわゆる W C S P の製造工程を適用することで、基板等のインターポーザを使用しない構成とすることができるので、ワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。また、フリップチップ接続との比較では、同等の電氣的特性をより安価に得ることができる。

【 0 0 2 6 】

また、この発明の半導体装置の製造方法の主要工程は、下記の通りである。

【 0 0 2 7 】

下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で、設定する。

【 0 0 2 8 】

半導体チップ配置領域上に、複数の電極パッドを具えている第 1 の主表面と、第 1 の主表面に対向する第 2 の主表面と、第 1 の主表面と第 2 の主表面との間の 1 又は 2 以上の側面とを有する半導体チップを、第 2 の主表面と対面させて設ける。

【 0 0 2 9 】

下地上に、第 1 の面と、第 1 の面と対向する第 2 の面とを有していて、半導体チップの側面に接して半導体チップを囲み、第 1 の面のレベルが第 1 の主表面のレベルと実質的に同一のレベルとなるように形成されている拡張部を形成する。

【 0 0 3 0 】

拡張部の第 1 の面上及び第 1 の主表面上に、絶縁膜を、電極パッドの一部分を露出させて形成する。

【 0 0 3 1 】

絶縁膜上に、電極パッドの各々に電氣的に接続されていて、第 1 の主表面の上側から拡張部の第 1 の面の上側へと導出されている複数の配線パターンを形成する。

【 0 0 3 2 】

配線パターンが形成されている絶縁膜上に、封止部を、配線パターンの第 1 の面の上側に位置する配線パターンの一部分を露出させて形成する。

【 0 0 3 3 】

拡張部の上側を含む領域の配線パターン上に、配線パターンの導出部分のそれぞれと個別に電氣的に接続されるように、複数の外部端子を接続して形成する。

【 0 0 3 4 】

複数の半導体チップ間を切断して、半導体チップを含む半導体装置の個片化を行う。

【 0 0 3 5 】

この発明の半導体装置の製造方法によれば、より簡易な工程で、高機能化、多機能化及びコンパクト化された半導体装置を提供することができる。特に外部電極の配置間隔及び配置位置等の設計の自由度を極めて大きくすることができる。

【 0 0 3 6 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施形態につき説明する。なお、図面には、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係が概略的に示されているに過ぎず、これによりこの発明が特に限定されるものではない。

また、以下の説明において、特定の材料、条件及び数値条件等を用いることがあるが、これらは好適例の一つに過ぎず、従って、何らこれらに限定されない。また、以下の説明に用いる各図において同様の構成成分については、同一の符号を付して示し、その重複する説明を省略する場合もあることを理解されたい。

【 0 0 3 7 】

図 1 及び図 2 を参照して、この発明の半導体装置につき説明する。図 1 (A) は半導体装置の構成を説明するための上面からみた概略的な平面図であり、図 1 (B) は、配線パターンと電極ポストとの接続関係を説明するために、図 1 (A) の実線 1 1 で囲んだ一部領域を拡大して示した概略的な要部平面図である。また、図 2 (A) 及び (B) は、図 1 (A) の I - I 破線により切断した切断面を示す概略的な断面図である。なお、図 2 (A) は、この発明の半導体装置 1 0 が、その底面側に下地 1 2 を具えている構成例である。また、図 2 (B) は、下地 1 2 を具えていない構成例である。

【 0 0 3 8 】

この発明の半導体装置 1 0 は、下地 1 2 上に、半導体チップ 3 0 を具えている。この半導体チップ 3 0 は、第 1 の主表面 3 6 と、第 1 の主表面 3 6 に対向する第 2 の主表面 3 8 とこの第 1 の主表面 3 6 と第 2 の主表面 3 8 との間に 1 又は 2 以上の側面 3 7 を有している。そして、半導体チップ 3 0 は、所定の機能を有する回路素子及びこの回路素子と電氣的に接続されている複数の電極パッド 3 4 を具えている。第 1 の主表面 3 6 には、複数の電極パッド 3 4 が設けられている。複数の電極パッド 3 4 は、第 1 の主表面 3 6 の周縁に沿って形成されている。

【 0 0 3 9 】

そして、この半導体チップ 3 0 は、下地 1 2 上に、第 1 の主表面 3 6 が上面となるように、すなわち第 2 の主表面 3 8 が半導体チップ配置領域 1 4 に対面するように設けられている。

【 0 0 4 0 】

この発明の半導体装置 1 0 は、下地 1 2 上に、拡張部 2 0 を具えている。この拡張部 2 0 は、下地 1 2 上の半導体チップ配置領域 1 4 に配置されている半導体チップ 3 0 の側面 3 7、すなわち第 1 及び第 2 の主表面以外の面に接してこれを

取り囲むように、設けられている。この拡張部 2 0 は、その第 1 の面 2 0 a のレベル（高さ、以下同じ。）が、半導体チップ 3 0 の第 1 の主表面 3 6 のレベルと、実質的に同一のレベルとなるように形成されている。

【 0 0 4 1 】

この拡張部 2 0 は、例えばエポキシ樹脂や、シリコン樹脂等の有機材料より適宜選択することができる。すなわち、いわゆる液状樹脂又はモールド樹脂を適用することができる。

【 0 0 4 2 】

拡張部 2 0 は、製造工程において、この発明の半導体装置 1 0 に生じる反りの発生を防止するために、好ましくは、後に形成される封止部の成形収縮よりも大きい成形収縮を有する材料により形成するのがよい。

【 0 0 4 3 】

ここでいう「成形収縮」とは、成形工程において生じる材料単体での収縮を意味する。すなわち「成形収縮」とは、成形温度における硬化収縮と成形温度から常温に戻るまでの熱収縮との和に相当する。

【 0 0 4 4 】

具体的には、拡張部 2 0 は、ガラス転移点より低い温度範囲での線膨張係数が $1.5 \times 10^{-5} / ^\circ\text{C}$ よりも小さく、かつ弾性率が 7.8 ~ 22 GPa の範囲の液状樹脂により形成するのがよい。拡張部 2 0 にモールド樹脂を適用する場合については後述する。

【 0 0 4 5 】

拡張部 2 0 の第 1 の面 2 0 a 及び第 1 の主表面 3 6 上には、絶縁膜 4 0 が、複数の電極パッド 3 4 が露出するように形成されている。

【 0 0 4 6 】

この絶縁膜 4 0 の表面上には、複数の配線パターン 4 2 が、露出している電極パッド 3 4 に電氣的に接続されて形成されている。

【 0 0 4 7 】

これら配線パターン 4 2 及び絶縁膜 4 0 を覆うように半導体チップ 3 0 及び拡張部 2 0 のそれぞれの表面領域上に封止部 4 4 が設けられている。上述の絶縁膜

4 0 と封止部 4 4 を総じて絶縁層 4 8 とも称する。それぞれの配線パターン 4 2 からこの封止部 4 4 を貫通して、この封止部 4 4 の表面に達する電極ポスト 4 6 がそれぞれ設けられている。これら電極ポスト 4 6 の一部は、半導体チップ 3 0 の上側（真上）に設けられており、また、残りの電極ポスト 4 6 は拡張部 2 0 の上側（真上）に設けられている。通常は、これら電極ポスト 4 6 は、一定の間隔で配列させてある。また、各電極ポスト 4 6 の頂面は、封止部 4 4 の表面に露出している。この電極ポスト 4 6 はポスト電極とも称せられ、その露出された頂面には外部端子 4 7 が設けられている。外部端子 4 7 としては通常、半田ボール 4 7 a を設けている。この外部端子 4 7 は電極パッド 3 4 の配列間隔よりも広い間隔で配列されて設けられている。

【 0 0 4 8 】

ここで、図 1（B）を用いて、電極パッド 3 4 と配線パターン 4 2 との接続関係につき説明する。これらの接続関係の理解を容易にするために図 1（A）の部分領域（実線で囲まれた領域）1 1 を拡大して示してある。配線パターン 4 2 は、外部端子 4 7 の下部に接続されて位置する電極ポスト（図 2 に 4 6 で示す。）と、対応する電極パッド 3 4 とが規則的、かつ電氣的に接続されている。これら配線パターン 4 2 を構成する配線として、例えば長配線 4 2 a、中配線 4 2 b 及び短配線 4 2 c を設ける。これらの配線 4 2 a、4 2 b 及び 4 2 c を、この順番で、それぞれ対応する電極パッド 3 4 に、1 つの配線と 1 つの電極パッドという、1 対 1 の接続関係で、接続してある。

【 0 0 4 9 】

この配線パターン 4 2 は、半導体チップ 3 0 の上側（真上）の領域及び拡張部 2 0 の上側（真上）、すなわち拡張された領域 2 1 の領域の境界にまたがるように設けられている。すなわち、複数の配線パターン 4 2 のうち、少なくとも一部は、電極パッド 3 4 の各々に個別に電氣的に接続されていて、かつ電極パッド 3 4、すなわち第 1 の主表面の上側から拡張部 2 0 の第 1 の面 2 0 a の上側へと互いに絶縁分離されて導出されている。

【 0 0 5 0 】

そのため、配線パターン 4 2 のうち、この境界上及び境界近傍のある程度の長

さの部分領域をより太い、すなわち幅広あるいは肉厚の配線とするのがよい。

【0051】

このように、特にエッジ部効果とか、熱ストレス等により応力が集中しやすいと思われるパターン42の部分領域を太く形成しておくことにより、半導体装置10の動作の信頼性が向上する。

【0052】

この拡張部20の上側（真上）の領域は、外部端子形成領域を半導体素子の表面領域外に拡張している意味で拡張された領域21と称せられる。この構成例ではこの拡張された領域21にも電極ポスト46が形成されている。

【0053】

そして、配線パターン42及び電極ポスト46を覆うように、封止部44が形成されている。封止部44は電極ポスト46の一部分が露出するように形成されている。

【0054】

この電極ポスト46を介して、外部端子47が形成されている。電極ポストを介さずに、封止部44から配線パターン42の一部分を露出させて、直接的に配線パターン42に外部端子を接続する構成とすることもできる。

【0055】

この構成例では、外部端子47を、例えば半田ボール47aで形成している。これら半田ボール47aは、露出している電極ポスト46の頂面に設けられていて、これら電極ポスト46を介して、配線パターン42と接続されている。隣接する電極ポスト46同士の配列及びその間隔は、例えばプリント基板等への実装を考慮して、所望の配列及び間隔とすることができる。

【0056】

既に説明したとおり、これらの電極ポスト46は、半導体チップ30の上側に対応する表面積の範囲のみならず、拡張部20の上側、すなわち拡張された領域21にも設けられている。従って、電極ポスト46の配置位置及び配置間隔の設計の自由度が増す。すなわち、より実装が容易になるように、外部端子47の配置間隔の制限を緩和して、例えば実装基板側の構成上の要件に沿った、より広い

間隔かつ所望の数で形成することができる。具体的には形成される拡張部 2 0 の面積を適宜調整することで、所望の配置間隔で、所望の数の外部端子を形成することができる。

【 0 0 5 7 】

下地 1 2 は、所望により、後述する製造工程において剥離して除去することで、図 2 (B) に示したような、より薄型化された半導体装置 1 0 とすることができる。

【 0 0 5 8 】

この発明の半導体装置 1 0 の構成によれば、半導体チップ 3 0 の側面 3 7、すなわち第 1 の主表面 3 6 及び第 2 の主表面 3 8 以外の面に接して囲むように設けられている拡張部 2 0 の上側（真上）、すなわち拡張された領域 2 1 に、外部端子 4 7 を設ける構成としてあるので、半導体装置 1 0 をいわゆるファンアウト構造又は第 1 の主表面 3 6 の上側にも外部端子 4 7 が形成されているファンイン／ファンアウト構造として構成することが可能である。従って、外部端子 4 7 の配置間隔及び配置位置等の設計の自由度を大きくすることができる。

【 0 0 5 9 】

この発明の半導体装置 1 0 は、いわゆる W C S P の製造工程を利用して、基板等のインターポーザを使用せずに直接的に半導体チップ 3 0 と外部端子 4 7 とを接続する構成とすることができるので、上述の効果に加えて、例えばワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。また、例えばフリップチップ接続との比較では、同等の電気的特性をより安価に得ることができる。

【 0 0 6 0 】

次に図 3 (A) ～図 1 0 (B) を参照して、第 1 の実施の形態の半導体装置の第 1 の製造方法につき説明する。

【 0 0 6 1 】

原則として、各図において、(A) はこの発明の半導体装置の構成を説明するための上面からみた概略的な部分平面図であり、(B) は (A) 図の I - I 破線により切断した切断面を示す概略的な断面図である。例外として、図 6 (B) は

、説明を容易にするために図 6 (A) に示した実線 1 1 で囲まれた部分を拡大して示す部分拡大図である。さらに図 7 は図 6 (A) の I - I 線に沿って切断して示した概略的な断面図である。

【 0 0 6 2 】

予め、用意した下地 1 2 上に、半導体チップ 3 0 が載置される半導体チップ配置領域 1 4 を設定する。この半導体配置領域 1 4 の輪郭は、半導体チップ 3 0 の輪郭と実質的に一致している。隣接する半導体チップ配置領域 1 4 同士間の間隔は、互いに等間隔としておく。この間隔は、後に工程で実施される半導体装置の個片化するために必要なマージン面積、所望の外部端子の数に応じて形成される拡張部の表面領域の面積等を考慮して、十分な間隔とすればよい。

【 0 0 6 3 】

まず、図 3 (A) 及び (B) に示したように、設定された半導体チップ配置領域 1 4 上に、位置合わせを行って下地 1 2 上に半導体チップ 3 0 を配置する。

【 0 0 6 4 】

この半導体チップ 3 0 は、上述したように、第 1 の主表面 3 6 を具えている。第 1 の主表面 3 6 は、電極パッド 3 4 を具えている。電極パッド 3 4 は、複数個が、半導体チップ 3 0 の周縁に沿って設けられている。そして半導体装置 3 0 は、第 1 の主表面 3 6 に対向する第 2 の主表面 3 8 と、第 1 の主表面と第 2 の主表面との間に 1 又は 2 以上の側面 3 7 を有している。

【 0 0 6 5 】

ここで下地 1 2 は、例えばガラスエポキシ、又はポリイミド等の有機材料からなる基板状体又はシート状体で形成してもよい。あるいはセラミック基板、金属基板及び S i 基板等から、所望により適宜選択することができる。その表面には、好ましくは少なくとも半導体チップ 3 0 が配置される領域について、接着材等の接着手段を具える部材により構成するのがよい（図示しない。）。

【 0 0 6 6 】

そしてこの接着手段により半導体チップ 3 0 を半導体チップ配置領域 1 4 上に接着保持するのがよい。

【 0 0 6 7 】

特に、この発明の半導体装置が、図 2 (B) に示したような下地を有しない構成とされる場合には、後の工程で例えば剥離等の手法により、容易に除去できる下地を選択するのがよい。具体的には例えば日東電工株式会社製の熱剥離シート「リバアルファ（商品名）」、三井化学株式会社製の耐熱型イクロステープ（商品名）又は S P シリーズ（商品名）等を後に剥離が可能な下地として適用することができる。さらには表面上に接着手段として例えば紫外線硬化型粘着材等が塗布されているガラス基板等も適用して好適である。

【 0 0 6 8 】

次に、図 4 (A) 及び (B) に示したように、半導体チップ 3 0 の側面 3 7、すなわち第 1 及び第 2 の主表面 3 6 及び 3 8 以外の面に接してこれを囲み、複数の半導体チップ 3 0 同士の間隙を埋めるようにして拡張部 2 0 を形成する。

【 0 0 6 9 】

この拡張部 2 0 は、上述したように、いわゆる液状樹脂又はモールド樹脂を材料として適用することができる。例えばエポキシ樹脂や、シリコン樹脂等の有機材料より適宜選択して形成することができる。

【 0 0 7 0 】

拡張部 2 0 は、製造工程において、半導体装置 1 0 に生じてしまう反りの発生を防止するために、好ましくは、後に形成される封止部の成形収縮よりも小さい成形収縮を有する材料により形成するのがよい。具体的には、拡張部 2 0 は、材料として、ガラス転移温度より低い温度での線膨張係数が $1.5 \times 10^{-5} / ^\circ\text{C}$ よりも小さく、かつ弾性率が $7.8 \sim 22 \text{ GPa}$ の範囲の液状樹脂により形成するのがよい。

【 0 0 7 1 】

拡張部 2 0 の形成には例えば以下の方法が適用可能である。①及び②は、液状樹脂を拡張部 2 0 に適用する場合に採用される方法であり、③はモールド樹脂を拡張部 2 0 に適用する場合に採用される方法である。

①ディスペンス方式により、液状樹脂を複数の半導体チップ 3 0 同士の間隙を埋めるように供給した後、液状樹脂に適切な硬化手段により硬化する。

②精密印刷方式により、液状樹脂を複数の半導体チップ 3 0 同士の間隙を埋める

ように供給した後、液状樹脂に適切な硬化手段により硬化する。

③半導体チップ30の第1の主表面36を保護した状態で金型にセットし、トランスファモールド法により、モールド樹脂を複数の半導体チップ30同士の間隙を埋めるように供給した後、モールド樹脂に適切な硬化手段により硬化する。

【0072】

ここで、拡張部20の第1の面20aの高さ、すなわち厚さd2と、半導体チップ30の第1の主表面36との高さ、すなわち厚さd1とは、一致させるのが好ましい。しかしながら、後に形成される配線パターンが、配線切れ等を生じる恐れなくして、形成できる高低差の範囲であれば、若干の段差又はうねり等が存在してもよい。

【0073】

特に拡張部20にモールド樹脂を適用した場合には、厚さ方向の寸法精度を高めることができるので、より高精度に拡張部20を形成することができる。

【0074】

次いで、拡張部20表面上及び第1の主表面36上に、絶縁膜40を形成する。この絶縁膜40は、半導体チップ30の電極パッド34が少なくとも部分的に露出するように形成される。

【0075】

このとき、一旦電極パッド34を覆うように絶縁膜40を形成した後、例えばフォトリソグラフィ法等を用いて、電極パッド34を露出させる工程としてもよい。

【0076】

上述したように拡張部20の表面と、半導体チップ30の表面とに段差が生じてしまう場合がある。また、拡張部20の表面にうねりや窪みが生じてしまう場合もある。これらの場合には、絶縁膜40用の絶縁材料により、後の工程で配線パターンが形成できる程度に、この段差の程度を緩和するか、又は絶縁膜40を実質的に平坦に形成することもできる。

【0077】

この絶縁膜40の形成は、適切な絶縁性材料を用いて、拡張部20の材質に応

じた好適な方法、例えばスピコート法、印刷法又は直接塗布プロセス等といういずれかの従来公知の方法により、行える。

【 0 0 7 8 】

然る後、図 6 及び図 7 に示したように、この絶縁膜 4 0 の表面上に、複数の配線パターン 4 2 を形成する。これら配線パターン 4 2 の形成は、絶縁膜 4 0 の表面上に、それぞれの配線パターン 4 2 が対応する電極パッド 3 4 に電氣的に接続するように設定してから、形成されるべき外部端子の配置を考慮して行う。

【 0 0 7 9 】

具体的には適用可能な配線プロセスルールに従って、配線幅、配線間隔及び最適角度等を決定して、可能な限り最短距離となるように接続する。例えば図示したように半導体チップ 3 0 の周縁に沿って形成されている複数の電極パッド 3 4 に対して、原則として最短距離となるように、長配線 4 2 a、中配線 4 2 b 及び短配線 4 2 c を一組とする配線パターン群を複数組形成し、一方の端部をそれぞれ対応する電極パッド 3 4 に接続する。そして、他方の端部には、電極ポスト搭載用のパッドが形成されていて、電極ポストを介して外部端子 4 7（半田ボール 4 7 a）が接続される。すなわち、複数の配線パターン 4 2 は、絶縁膜 4 0 上に、電極パッド 3 4 の各々と個別に電氣的に接続されていて、電極パッド 3 4、すなわち第 1 の主表面 3 6 の上側から拡張部 2 0 の第 1 の面 2 0 a の上側へと導出されるように形成される。

【 0 0 8 0 】

なお、図 5（A）及び図 6（A）において、説明を容易にするために、電極パッド 3 4 の配置数は、実際よりも少ない数として概略的に図示してある。

【 0 0 8 1 】

この配線パターン 4 2 の形成は、絶縁膜 4 0 の表面領域のうち、拡張部 2 0 の上側、すなわち拡張された領域 2 1 を含む絶縁膜 4 0 上の所望の領域に、スパッタ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における配線パターンの形成プロセスにより行うことができる。配線パターン 4 2 の形成材料は、任意好適な材料を選択できるが、例えばアルミニウム、銅及び金属合金等の材料により形成するのがよい。例えば銅等の適宜の材料を選択して、行うことができ

る。

【 0 0 8 2 】

次いで、図 8 (A) 及び (B) に示したように、各配線パターン 4 2 の表面上に、これらと電氣的に接続される電極ポスト 4 6 をそれぞれ形成する。これら電極ポスト 4 6 を拡張部 2 0 の上側 (真上) の拡張された領域 2 1 と、半導体チップ 3 0 の上側 (真上) の拡張された領域 2 1 に近い領域とに設ける。これら電極ポスト 4 6 を、格子状に所定の間隔で配列するように形成する。この間隔は、上述したように実装を考慮した間隔、すなわち一定な、或いは不規則の間隔とすることができる。

【 0 0 8 3 】

この電極ポスト 4 6 はメッキ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における電極ポスト 4 6 の形成プロセスにより、適宜の材料を選択して、行うことができる。

【 0 0 8 4 】

さらに配線パターン 4 2 及び電極ポスト 4 6 が形成されている絶縁膜 4 0 の表面上を覆うように、封止部 4 4 を形成する。封止部 4 4 は、配線パターン 4 2 の導出部分 (電極ポストが形成されない場合には、配線パターン 4 2 自体) の一部分を露出させるように形成される。

【 0 0 8 5 】

この封止工程は、従来公知の方法により、従来公知の封止材料、例えばエポキシ系のモールド樹脂を使用して実施することができる。

【 0 0 8 6 】

ここで一般的に使用されるモールド樹脂としては、例えばガラス転移温度より低い温度での線膨張係数が $0.6 \sim 1.3 \times 10^{-5} / ^\circ\text{C}$ の範囲であり、ガラス転移温度 (T g) が $125 \sim 220 ^\circ\text{C}$ の範囲であり、弾性率が $9.8 \sim 24 \text{ GPa}$ ($1000 \sim 2450 \text{ kg} / \text{mm}^2$) の範囲の物性値を有するものが挙げられる。これらはこの発明の半導体装置 1 0 の製造にも適用して好適である。

【 0 0 8 7 】

製造工程における半導体装置 1 0 の反りの発生を防止するために、上述したよ

うに、特に拡張部 2 0 を封止部 4 4 と同様に、いわゆるモールド樹脂で形成する場合の材料は、拡張部 2 0 を形成するモールド樹脂の成形収縮が封止部 4 4 よりも大きくなるように決定される。例えば、拡張部 2 0 及び封止部 4 4 のモールド樹脂の物性について、以下の組み合わせが挙げられる。

【 0 0 8 8 】

① 拡張部／封止部：拡張部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.1 \sim 1.5 \times 10^{-5} / ^\circ\text{C}$ の範囲であって、かつガラス転移温度 (T_g) が 170°C よりも大きい／封止部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.0 \times 10^{-5} / ^\circ\text{C}$ より小さく、ガラス転移温度 (T_g) が $125 \sim 220^\circ\text{C}$ の範囲であり、かつ弾性率が $14.7 \sim 24 \text{ GPa}$ ($1500 \sim 2450 \text{ kg/mm}^2$) の範囲。

【 0 0 8 9 】

② 拡張部／封止部：拡張部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.1 \sim 1.7 \times 10^{-5} / ^\circ\text{C}$ の範囲であって、かつガラス転移温度 (T_g) が 170°C よりも小さく、弾性率が $9.8 \sim 19.6 \text{ GPa}$ ($1000 \sim 2000 \text{ kg/mm}^2$) ／封止部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.0 \times 10^{-5} / ^\circ\text{C}$ より小さく、ガラス転移温度 (T_g) が $125 \sim 220^\circ\text{C}$ の範囲であり、弾性率が $14.7 \sim 24 \text{ GPa}$ ($1500 \sim 2450 \text{ kg/mm}^2$) の範囲。

【 0 0 9 0 】

③ 拡張部／封止部：拡張部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.1 \sim 1.7 \times 10^{-5} / ^\circ\text{C}$ の範囲であり、かつ弾性率が 13.7 GPa (1400 kg/mm^2) であり、かつガラス転移温度 (T_g) が $125^\circ\text{C} \sim 170^\circ\text{C}$ の範囲／封止部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.0 \times 10^{-5} / ^\circ\text{C}$ より小さく、ガラス転移温度 (T_g) が $125 \sim 220^\circ\text{C}$ の範囲であり、かつ弾性率が $14.7 \sim 24 \text{ GPa}$ ($1500 \sim 2450 \text{ kg/mm}^2$) の範囲。

【 0 0 9 1 】

然る後、図 9 (A) 及び (B) に示したように、封止部 4 4 をその表面側から

削り取って、電極ポスト 4 6 の頂面（上面とも称する。）を削って露出させる。

【 0 0 9 2 】

この工程は、従来公知の研削や研磨工程を適用して行うことができる。

【 0 0 9 3 】

また、封止部 4 4 の形成に、フィルム成形等の方法を適用することもできる。その場合には、電極ポスト 4 6 に実質的に負荷をかけることがない。また、その場合には、上述した封止部 4 4 に対する研削工程を要せずに電極ポスト 4 6 の頂面を封止部 4 4 の表面に露出するように直接的に形成する。

【 0 0 9 4 】

このとき、電極ポスト 4 6 の露出した頂面に対して設計上必要な任意好適な処理を行ってもよい。例えば電極ポスト 4 6 の材料を銅とした場合には、電極ポスト 4 6 の頂面にバリアメタル層として、Ni（ニッケル）膜等を形成すること等してもよい。

【 0 0 9 5 】

複数の外部端子 4 7 は、拡張部 2 0 の上側を含む領域の配線パターン 4 2 上に、配線パターン 4 2 の導出部分、すなわち露出している一部分のそれぞれと個別に電氣的に接続されるように形成される。

【 0 0 9 6 】

この構成例では、封止部 4 4 の表面から露出している電極ポスト 4 6 を介してその上面に、外部端子 4 7 として例えば半田ボール 4 7 a を形成する。

【 0 0 9 7 】

次いで、図 1 0（A）及び（B）に示したように、一点破線 a で示した切断線に沿って、複数の半導体チップ 3 0 同士の間の拡張部 2 0 及び封止樹脂 2 0 を切断することにより、所定の機能を発揮する単一の半導体装置を含む構造として、個片化される。

【 0 0 9 8 】

この個片化工程は、好ましくは例えば高速回転するブレード等により、行うのがよい。

【 0 0 9 9 】

次いで、所望により、個片化された構造体の拡張部 2 0 の第 2 の面 2 0 b 及び第 2 の主表面 3 8 から、下地 1 2 を、剥離して除去する。

【 0 1 0 0 】

下地 1 2 上に上述したような剥離可能な接着手段を具えるか、又は剥離可能な接着手段を設けて、製造工程を実施した場合には、この接着手段に応じた処理、例えば加熱、温水による処理、又は紫外線照射等の処理により、下地 1 2 の剥離工程を行うのがよい。具体的には、例えば下地 1 2 として熱剥離シートを適用した場合には、所定の温度で加熱することにより剥離することができる。また、例えば接着手段として紫外線照射型粘着材を適用した場合には、紫外線照射により硬化することで、下地 1 2 の剥離を行うことができる。

【 0 1 0 1 】

この剥離工程は、電極ポスト 4 6 の形成工程後、封止工程後又は個片化工程後のいずれのタイミングでも実施することができるが、拡張部 2 0 の機械的強度等を考慮して、好ましくは封止工程終了後より後に行うのがよい。

【 0 1 0 2 】

また、この発明の半導体装置の製造方法を説明するにあたり、各図では下地又は治具上に 2（縦）× X（横； X は 2 以上の正数）の格子状に複数の半導体チップを配置して、同時に複数の半導体装置 1 0 を製造する例を図示してある。しかしながら、これに限定されず、より多数の半導体チップをより多くの数からなる格子状に配列して同時に製造することもできる。

【 0 1 0 3 】

このように第 1 の製造方法によれば、 W C S P の製造工程を適用できるので、半導体装置 1 0 を製造するための特別な工程を使用することなく半導体装置 1 0 を製造することができる。

【 0 1 0 4 】

次に図 1 1（ A ）～図 1 4（ C ）を参照して、この発明の半導体装置の第 2 の製造方法につき説明する。なお、後述する製造工程において、適用される材料、工程の実施条件等は第 1 の方法と同様であるので、その詳細な説明は省略する。

【 0 1 0 5 】

この第 2 の製造方法では、上述の第 1 の製造法で説明した下地 1 2 の代わりに、治具 5 0 を使用して、各工程を実施することを特徴としている。

【 0 1 0 6 】

ここで、まず第 2 の製造方法に適用して好適な治具の構成につき、図 1 1 及び 1 2 を参照して説明する。

【 0 1 0 7 】

図 1 1 (A) はこの発明の半導体装置の第 2 の製造方法に適用して好適な治具の構成を説明するための概略的な部分平面図であり、図 1 1 (B) は図 1 1 (A) の I - I 破線により切断した切断面を示す概略的な断面図である。

【 0 1 0 8 】

図 1 2 は、この発明の第 2 の製造方法に適用して好適な図 1 1 の治具の変形例の構成を説明するための概略的な断面図である。なお、図 1 2 において、上面からみた平面図については、図 1 1 (A) と同様となるので、図示及びその詳細な説明は省略する。

【 0 1 0 9 】

この治具 5 0 は、製造過程において、構成要素の保持をしたり、あるいは心合わせするための工具である。この構成例では、この治具 5 0 は、複数の凹部 5 2 を同一間隔で格子状に具えている台座である。この隣接する凹部 5 2 同士の間隔は、製造される半導体装置 1 0 に求められる拡張部の面積、すなわち外部電極の配置位置、配置間隔及び配置数等を勘案して好適に決定される。

【 0 1 1 0 】

治具 5 0 の凹部 5 2 は、この例では直方体状の窪みとしてある。しかしながら、その形状はこれに限定されず、種々の形状を有する半導体チップ 3 0 が、凹部 5 2 により安定して保持され、かつ後の工程の実施に支障がない限り、特に限定されない。

【 0 1 1 1 】

凹部 5 2 の深さ h 及び底面部 5 2 a の面積については、半導体チップ 3 0 を保持して治具 5 0 上に安定に固定できる程度に、かつ後の工程を実施するのに十分な程度に設定するのがよい。

【 0 1 1 2 】

例えば半導体チップ 3 0 の第 1 及び第 2 の主表面 3 6 及び 3 8 が同一形状かつ同一サイズである直方体状である場合には、凹部 5 2 の底面部 5 2 a の面積を、少なくとも第 2 の主表面 3 8 と同一の面積となるように設定し、凹部 5 2 の側壁部 5 2 b が底面部 5 2 a に対して垂直となるように設定するのがよい。

【 0 1 1 3 】

また、図 1 2 に示したように、凹部 5 2 の底面部 5 2 a の面積（後述する貫通孔 5 6 の表面積を含む。）を、第 2 の主表面 3 8 の面積よりも小さい面積となるように設定し、凹部 5 2 の側壁部 5 2 b が凹部 5 2 内に向かってその先端が順次に薄くなっていく傾斜を有する形状とすることもできる。

【 0 1 1 4 】

この場合には、図 1 2 に点線で示したように、半導体チップ 3 0 は、傾斜を有する側壁部 5 2 b 領域内で、半導体チップ 3 0 の第 2 の主表面 3 8 側の端縁部近傍の領域、すなわち第 2 の主表面 3 8 の周とその近傍に接触して、治具 5 0 により保持される。このような構成にすれば、半導体チップ 3 0 の治具 5 0 に接触する領域が最低限となるので、治具 5 0 から半導体チップ 3 0 を剥離する工程が極めて容易となる。

【 0 1 1 5 】

また、側壁部 5 2 b の傾斜の存在する範囲内で半導体チップ 3 0 を支持すればよいので、1 種類の治具で、サイズの異なる複数種類の半導体チップ 3 0 に対応することができる。

【 0 1 1 6 】

治具 5 0 は、半導体チップ 3 0 に対する接着性の低い、金属又はセラミック等の材料により構成するか、又はこれらに対して接着性の低いテフロン（登録商標）等を被膜した適宜の材料により構成するのがよい。このようにすれば、半導体装置を含む製造中途の構造体を、治具 5 0 から剥離する工程が容易に実施できる。

【 0 1 1 7 】

この治具 5 0 には、好ましくは凹部 5 2 に貫通孔 5 6 を形成しておくのがよい。

。そして、貫通孔 5 6 には半導体チップ 3 0 を凹部 5 2 に吸引保持するための吸排気系 5 8 を接続する構成とするのがよい。

【0 1 1 8】

この吸排気系 5 8 は、従来公知の例えば真空ポンプ、配管等を含む真空排気系で構成することができる。

【0 1 1 9】

次に、この治具 5 0 を用いたこの発明の半導体装置の第 2 の製造方法につき、図 1 3 (A) から図 1 4 (C) までを参照して説明する。

【0 1 2 0】

図 1 3 及び図 1 4 において、上面側から見た平面図は、第 1 の製造方法と同様であるのでその図示及び説明は省略し、切断面を示す概略的な断面図を参照して説明する。

【0 1 2 1】

予め、図 1 1 及び図 1 2 を参照して既に説明した、治具 5 0 を準備しておく。

【0 1 2 2】

そして、図 1 3 (A) に示したように、凹部 5 2 内に、半導体チップ 3 0 を、半導体チップ 3 0 の第 2 の主表面 3 8 が治具 5 0 の凹部 5 2 の底面 5 2 a に対面するように設ける。このとき、図 1 2 に示したように、凹部 5 2 の底面部 5 2 a の面積を、第 2 の主表面 3 8 の面積よりも小さい面積となるように設定されていて、凹部 5 2 の周を構成する側壁部 5 2 b が凹部 5 2 内に向う傾斜を有する形状である場合には、半導体チップ 3 0 を、側壁部 5 2 b の傾斜が存在する領域内で、半導体チップ 3 0 の第 2 の主表面 3 8 側の端縁部近傍の領域、すなわち第 2 の主表面 3 8 を画成する周及びその近傍に接触するように、治具 5 0 上に設ける。

【0 1 2 3】

ここで、上述したように、治具 5 0 の凹部 5 2 の底面部 5 2 a に貫通孔 5 6 及びこれに接続される吸排気系 5 8 を具える構成としてある場合には、これにより半導体チップ 3 0 の第 2 の主表面 3 8 と凹部 5 2 の底面部 5 2 a との接触面（間隙）を真空引きして、半導体チップ 3 0 を治具 5 0 上に吸引保持するのがよい。

【0 1 2 4】

半導体チップ 3 0 を、治具 5 0 上に、吸引保持するための真空の程度は、半導体チップ 3 0 を安定に保持できる程度であればよい。

【 0 1 2 5 】

次いで、図 1 3 (B) に示したように、まず、治具 5 0 上に、半導体チップ 3 0 の第 1 及び第 2 の主表面 3 6 及び 3 8 以外の面、すなわち半導体チップ 3 0 の側面 3 7 に接触してこれを囲むように拡張部 2 0 が形成される。

【 0 1 2 6 】

この拡張部 2 0 は、その第 1 の面 2 0 a のレベルが、半導体チップ 3 0 の第 1 の主表面 3 6 のレベルと、実質的に同一のレベルとなるように形成されている。

【 0 1 2 7 】

拡張部 2 0 の形成は、上述で説明した方法及び材料を選択することにより、行われる。このとき、上述したように治具 5 0 の側壁部 5 2 b が傾斜を有する場合には、治具 5 0 と半導体チップ 3 0 の側面部の下部との間に若干の間隙（空間）が生じる可能性がある。この間隙については、後の工程、特に配線パターンの形成に支障のない範囲であれば、さらなる処理は特に必要としないが、所望により、この間隙が生じないように拡張部 2 0 を形成してもよい。

【 0 1 2 8 】

次いで、治具 5 0 上に形成されている拡張部 2 0 の表面上及び半導体チップ 3 0 の第 1 の主表面 3 6 上に、絶縁膜 4 0 を、半導体チップ 3 0 が具えている電極パッド 3 4 を露出させて形成する。

【 0 1 2 9 】

次いで、図 1 3 (C) に示したように、絶縁膜 4 0 の表面上に、複数の配線パターン 4 2 を、それぞれの電極パッド 3 4 の頂面と電氣的に接続するように形成する。この場合、第 1 の製造方法と同様に 1 つの配線パターンは 1 つの電極パッド 3 4 と 1 対 1 の関係で接続する。

【 0 1 3 0 】

然る後、図 1 4 (A) に示したように、各配線パターン 4 2 に 1 つの割合で電極ポスト 4 6 を接続形成する。この電極ポスト 4 6 は、拡張部 2 0 の上側（真上）の拡張された領域 2 1 と、この拡張された領域 2 1 に近接した、半導体チップ

30の上側（真上）の領域とに設けられる。

【0131】

詳細には、配線パターン42及び電極ポスト46が形成されている絶縁膜40の表面上を覆う封止部44を形成する。

【0132】

さらに図14（B）に示したように、封止部44を表面側から削り取って、電極ポスト46の頂面を露出させる。

【0133】

次に、露出している電極ポスト46の頂面に、外部端子47として半田ボール47aを、形成する。

【0134】

次いで、図14（C）に示したように、拡張部20の第2の面20b及び第2の主表面38から、治具50を、真空吸引手段が用いられている場合には真空を解除した後、剥離する。

【0135】

然る後、隣接する複数の半導体チップ30間を切断して、当該半導体チップ30を含む単一の半導体装置10として個片化する。

【0136】

このような工程により、上述第1の実施の形態の製造方法により製造された半導体装置とほぼ同様の構成を具えた半導体装置が製造される。

【0137】

なお、この第2の製造方法により製造される半導体装置は、底面側、すなわち拡張部20の第2の面20bと半導体チップ30の第2の主表面38との関係において、治具50の凹部52による段差が生じるが、特に所望でない限り、さらなる処理工程は必要ない。

【0138】

この第2の製造方法によれば、単一の治具を、繰り返して使用することができる。第1の製造方法のように下地を使用する必要がないので、製造工程に必要な部材を削減することができる。従って、製造コストの削減が期待される。また、

貫通孔を介した吸排気系により、半導体チップを治具上に吸着保持する構成とする場合には、さらに半導体チップの治具への保持及び半導体装置の剥離が容易かつ迅速に行うことができるので、製造される半導体装置のスループットの向上が期待される。

【 0 1 3 9 】

この発明のすべての実施の形態において、電極ポスト 4 6 は、導電性材料により形成するのがよい。好ましくは銅により形成するのがよい。このとき電極ポスト 4 6 の表面に薄い酸化層を形成しておくのがよい。このようにすれば電極ポスト 4 6 と封止部 4 4 の接着性が向上するため、耐湿性が向上する。

【 0 1 4 0 】

この発明のすべての実施の形態において、外部端子 4 7 として半田ボール 4 7 a を電極ポスト 4 6 上に形成する、いわゆる BGA (Ball Grid Array) 型につき説明するが、これに限定されない。例えば、露出している電極ポスト 4 6 上に、半田ペーストの塗布及びリフロー、又は無電解メッキによる Ni / Au 処理によりランドとして、いわゆる LGA (Land Grid Array) 型等の構成することもできる。

【 0 1 4 1 】

また、この発明のすべての実施の形態において、封止部の形状は、いわゆるソーカットタイプのみならず、この発明の目的を損なわない範囲で、下地及び／又は拡張部の外形と合っていないくともよい。

【 0 1 4 2 】

上述の第 1 の実施の形態の半導体装置 1 0 を、例えば複数個積層する構成とすることもできる。この場合には、例えば従来公知の方法により拡張部にスルーホールを形成し、積層用の端子を形成すればよい。

【 0 1 4 3 】

【発明の効果】

この発明の半導体装置の構成によれば、搭載される半導体チップの側面を囲むように設けられている拡張部上、すなわち拡張された領域を含む領域にも、外部端子を設けることができる、いわゆるファンアウト構造又はファンイン／ファン

アウト構造が可能な構成としてあるので、外部端子の配置間隔及び配置位置等の設計の自由度を大きくすることができる。

【0144】

また、この発明の半導体装置は、いわゆるWCSPの製造工程を利用して、基板等のインターポーザを使用せずに直接的に半導体チップと外部電極とを接続する構成とすることができるので、上述の効果に加えて、ワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。また、フリップチップ接続との比較では、同等の電気的特性をより安価に得ることができる。

【0145】

第1の製造方法によれば、この発明の半導体装置を簡易な工程で製造することができる。

【0146】

第2の製造方法によれば、単一の治具を、繰り返して使用することができる。下地を使用する必要がないので、製造工程に必要な部材を削減することができる。従って、製造コストの削減が期待される。また、貫通孔を介した吸排気系により、拡張部と半導体チップを吸着保持する構成とする場合には、さらに拡張部及び半導体チップの治具への保持及び剥離が容易かつ迅速に行うことができるので、半導体装置のスループットの向上が期待される。

【図面の簡単な説明】

【図1】

(A)はこの発明の半導体装置の構成を説明するための概略的な上面からみた平面図であり、図1(B)は、配線パターンと電極パッドとの接続関係を説明するために、図1(A)の一部領域を拡大して示した概略的な要部平面図である。

【図2】

(A)及び(B)は、図1(A)のI-I破線により切断した切断面を示す概略的な断面図であり、(A)は下地を具える形態を、(B)は下地を有しない形態を説明するための図である。。

【図3】

(A) 及び (B) は、この発明の半導体装置の第 1 の製造方法を説明するための上面からみた概略的な平面図及び断面図である。

【図 4】

(A) 及び (B) は、この発明の半導体装置の第 1 の製造方法を説明するための図 3 に続く上面からみた概略的な平面図及び断面図である。

【図 5】

(A) 及び (B) は、この発明の半導体装置の第 1 の製造方法を説明するための図 4 に続く上面からみた概略的な平面図及び断面図である。

【図 6】

(A) は、この発明の半導体装置の第 1 の製造方法を説明するための上面からみた概略的な平面図であり、(B) は、(A) の I - I 破線により切断した断面図である。

【図 7】

図 6 に対応する断面図である。

【図 8】

(A) 及び (B) は、この発明の半導体装置の第 1 の製造方法を説明するための、図 6 及び図 7 に続く上面からみた概略的な平面図及び断面図である。

【図 9】

(A) 及び (B) は、この発明の半導体装置の第 1 の製造方法を説明するための図 8 に続く上面からみた概略的な平面図及び断面図である。

【図 1 0】

(A) 及び (B) は、この発明の半導体装置の第 1 の製造方法を説明するための図 9 に続く上面からみた概略的な平面図及び断面図である。

【図 1 1】

この発明の半導体装置の製造方法に用いて好適な治具の概略的な平面図及び断面図 (1) である。

【図 1 2】

この発明の半導体装置の製造方法に用いて好適な治具の概略的な断面図 (2) である。

【図 1 3】

この発明の半導体装置の第 2 の製造方法を説明するための概略的な断面図（1）である。

【図 1 4】

この発明の半導体装置の第 2 の製造方法を説明するための図 1 3 に続く概略的な断面図（2）である。

【符号の説明】

- 1 0 : 半導体装置
- 1 1 : 部分領域
- 1 2 : 下地
- 1 4 : 半導体チップ配置領域
- 2 0 : 拡張部
- 2 0 a : 第 1 の面
- 2 0 b : 第 2 の面
- 2 1 : 拡張された領域
- 2 2 : 開口部
- 3 0 : 半導体チップ
- 3 4 : 電極パッド
- 3 6 : 第 1 の主表面
- 3 7 : 側面
- 3 8 : 第 2 の主表面
- 4 0 : 絶縁膜
- 4 2 : 配線パターン
- 4 2 a : 長配線
- 4 2 b : 中配線
- 4 2 c : 短配線
- 4 4 : 封止部
- 4 6 : 電極ポスト
- 4 7 : 外部端子

4 7 a : 半田ボール

5 0 : 治具

5 2 : 凹部

5 2 a : 底面部

5 2 b : 側壁部

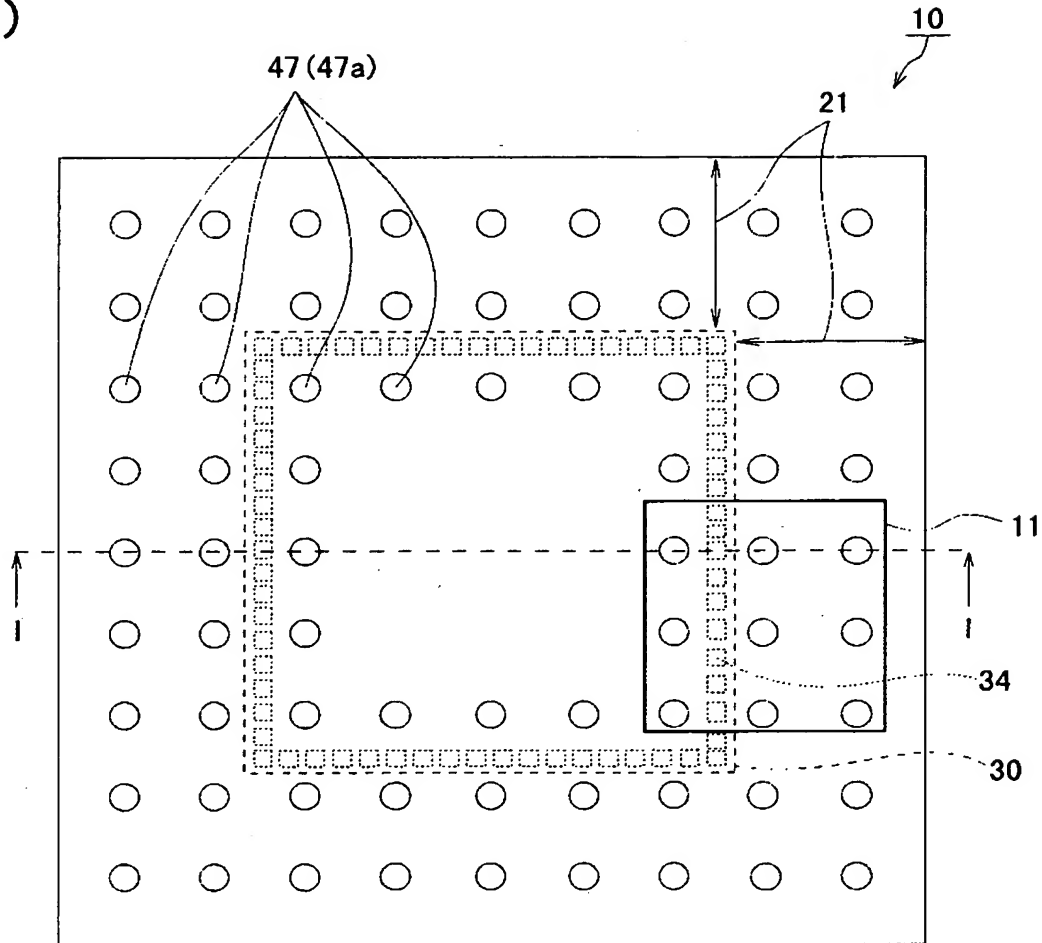
5 6 : 貫通孔

5 8 : 吸排気系

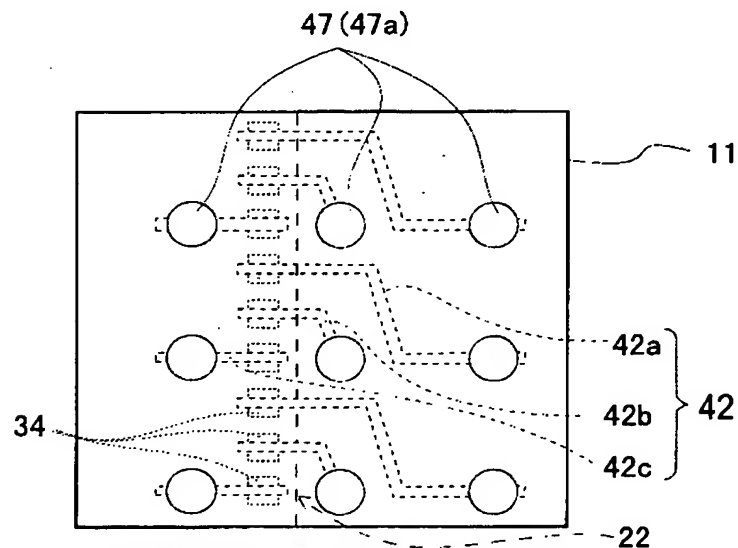
【書類名】 図面

【図 1】

(A)



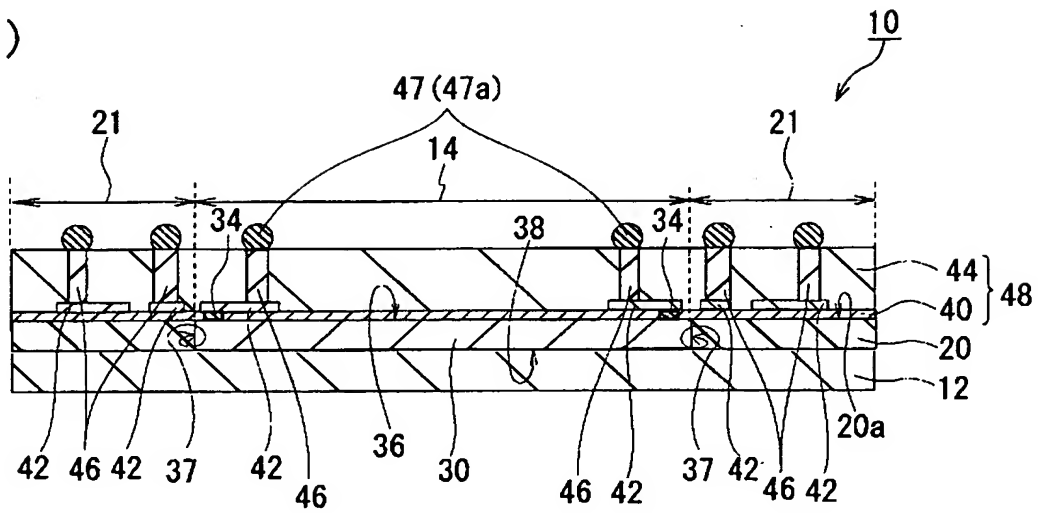
(B)



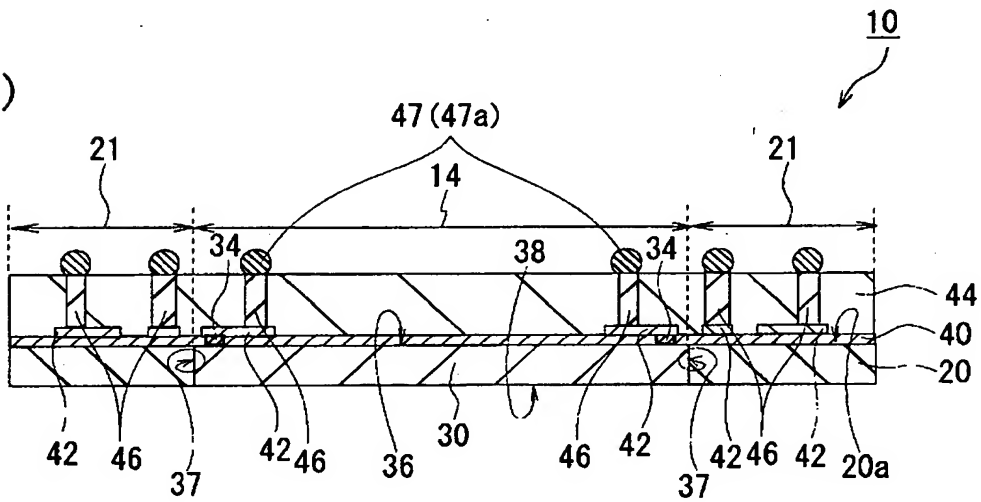
この発明の半導体装置を示す図(1)

【図 2】

(A)



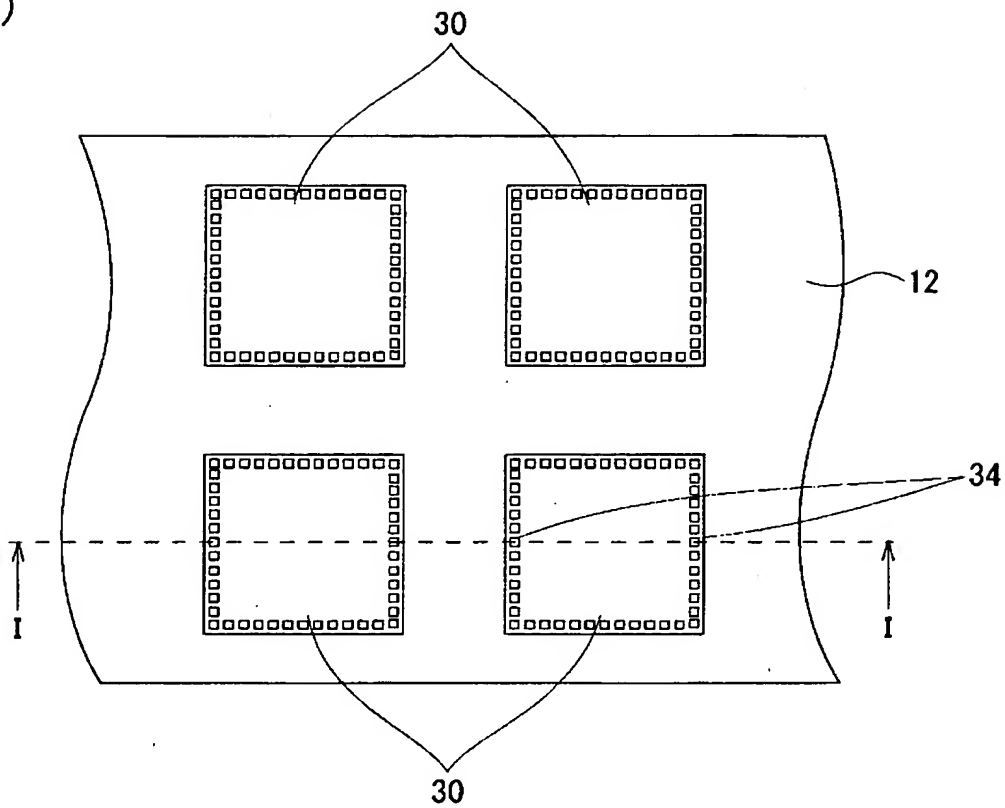
(B)



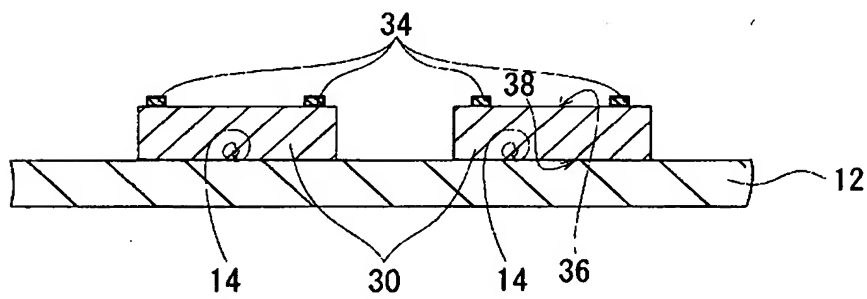
この発明の半導体装置を示す図(2)

【図 3】

(A)



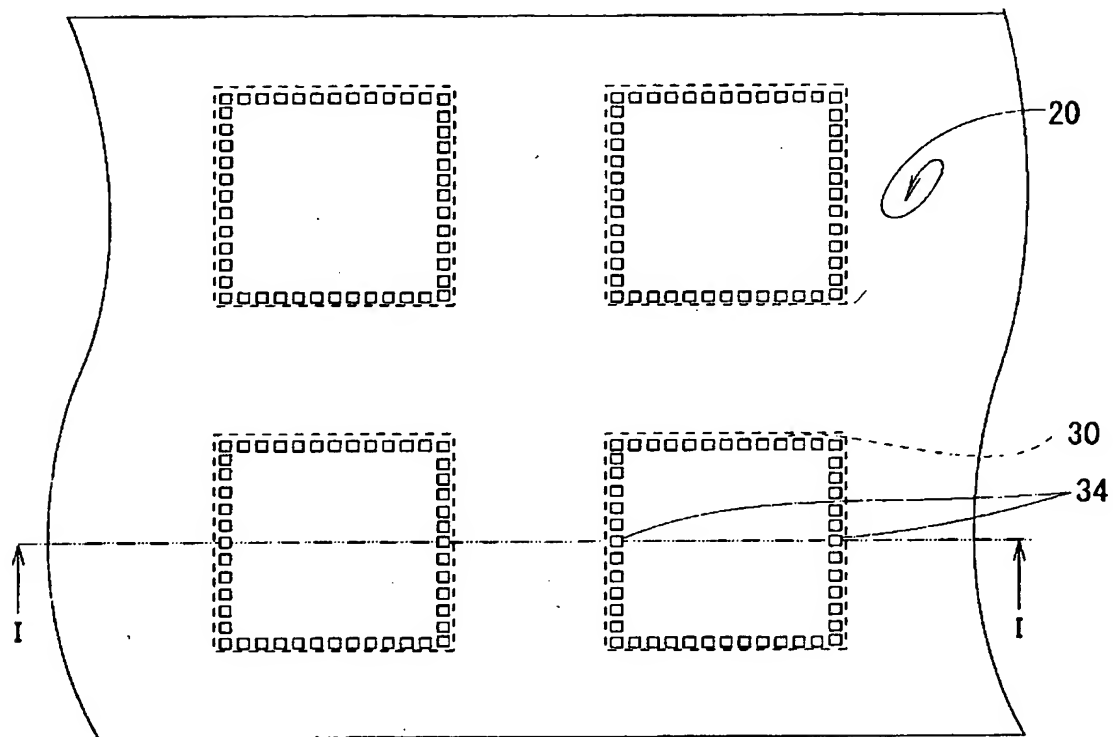
(B)



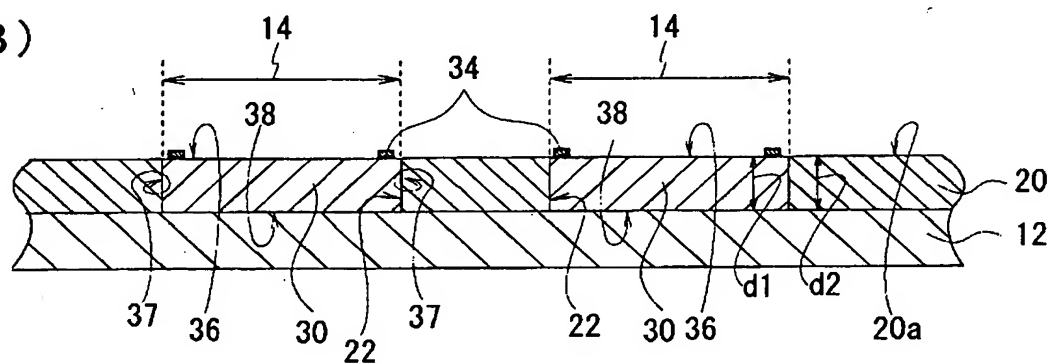
この発明の半導体装置の第1の製造方法(1)

【図 4】

(A)



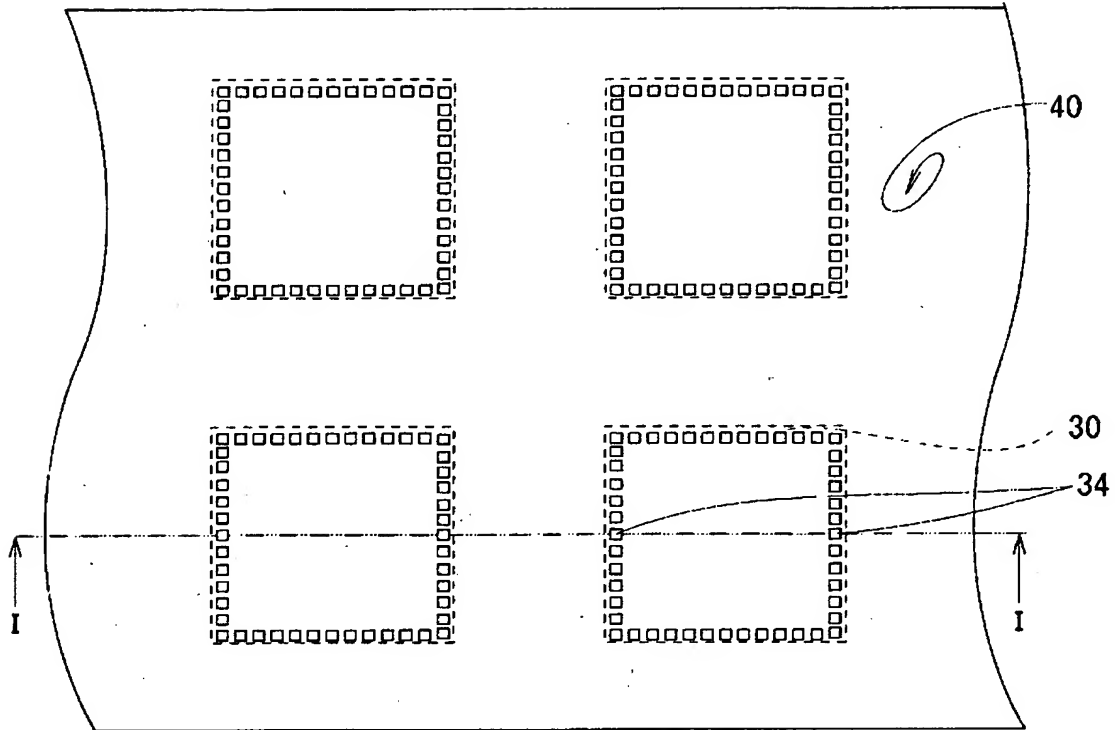
(B)



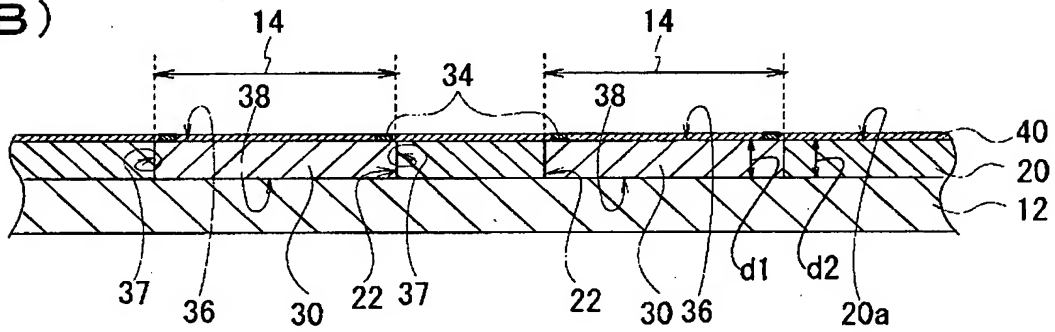
この発明の半導体装置の第1の製造方法(2)

【図5】

(A)



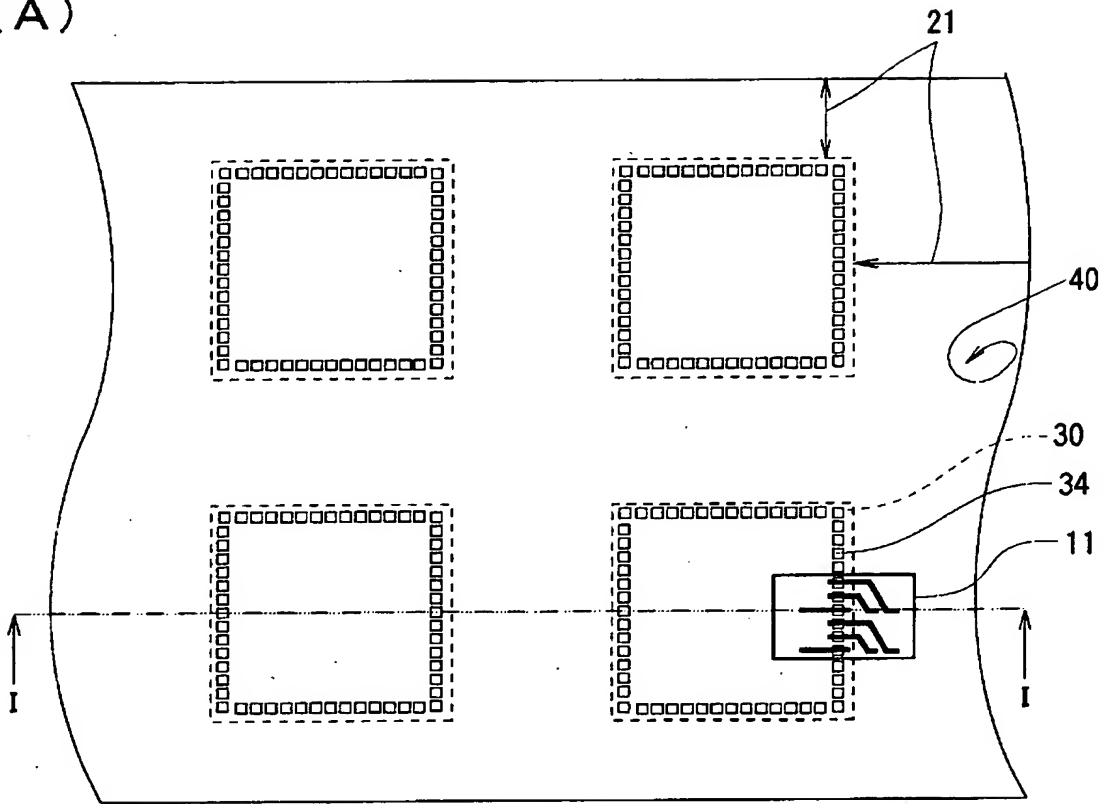
(B)



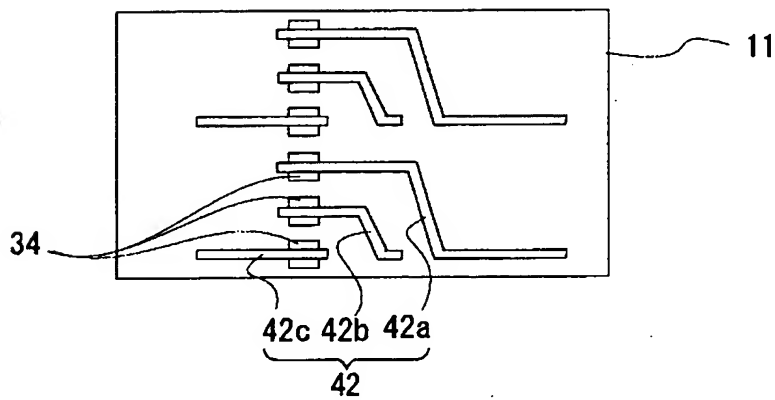
第1の実施の形態の半導体装置の第1の製造方法(2)

【図 6】

(A)

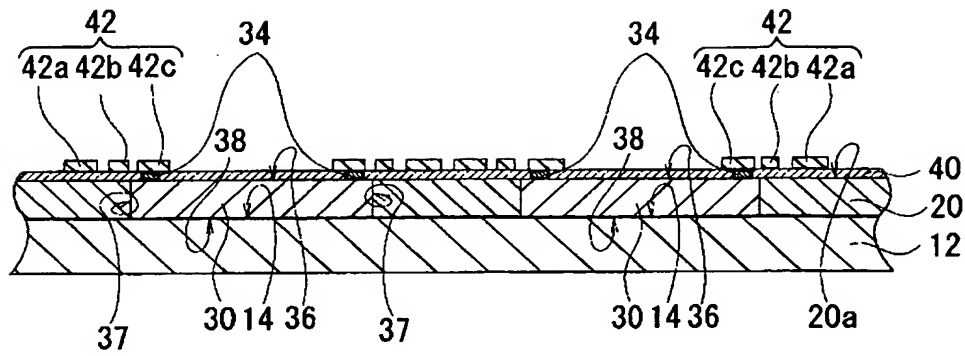


(B)



この発明の半導体装置の第1の製造方法(4)

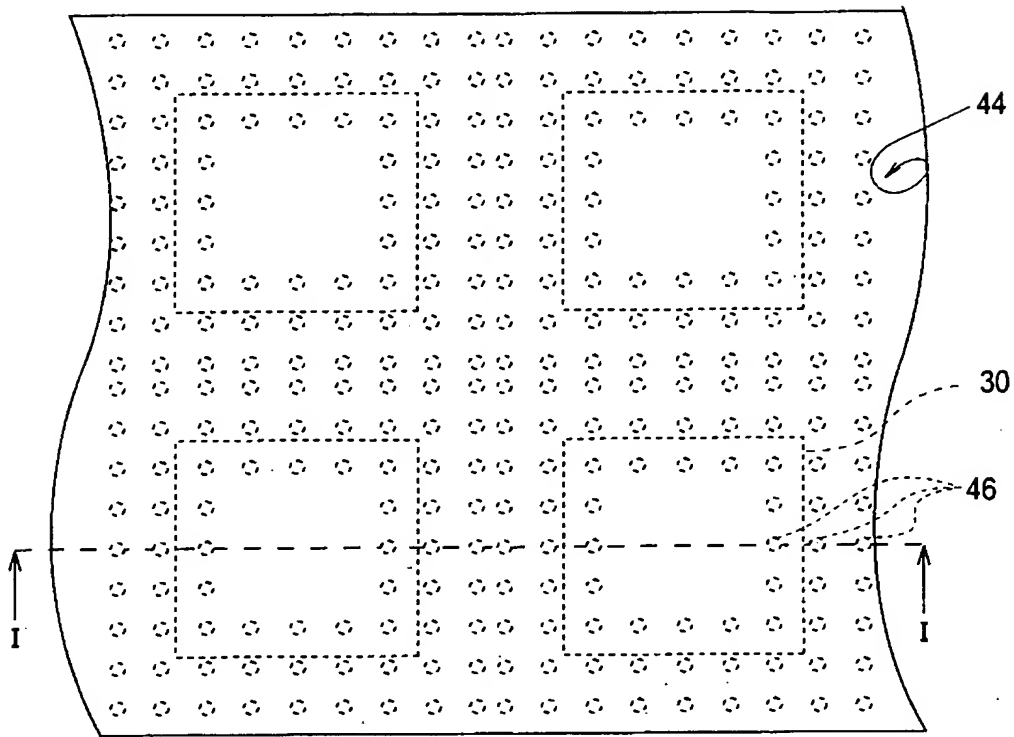
【図 7】



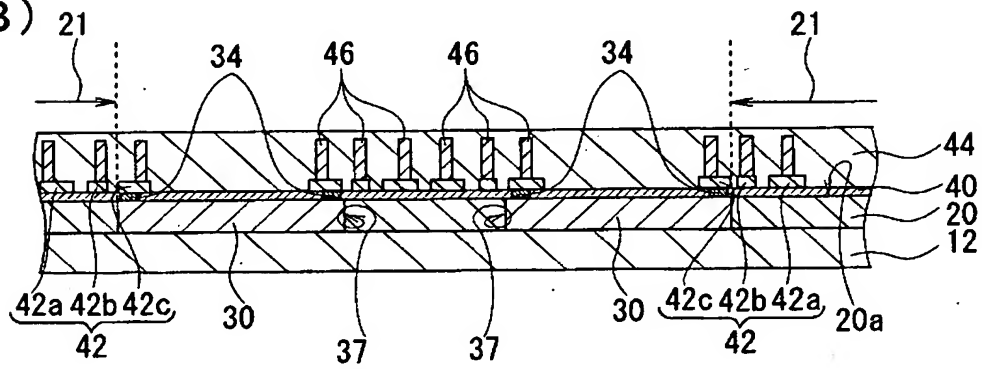
この発明の半導体装置の第1の製造方法(4-2)

【図 8】

(A)



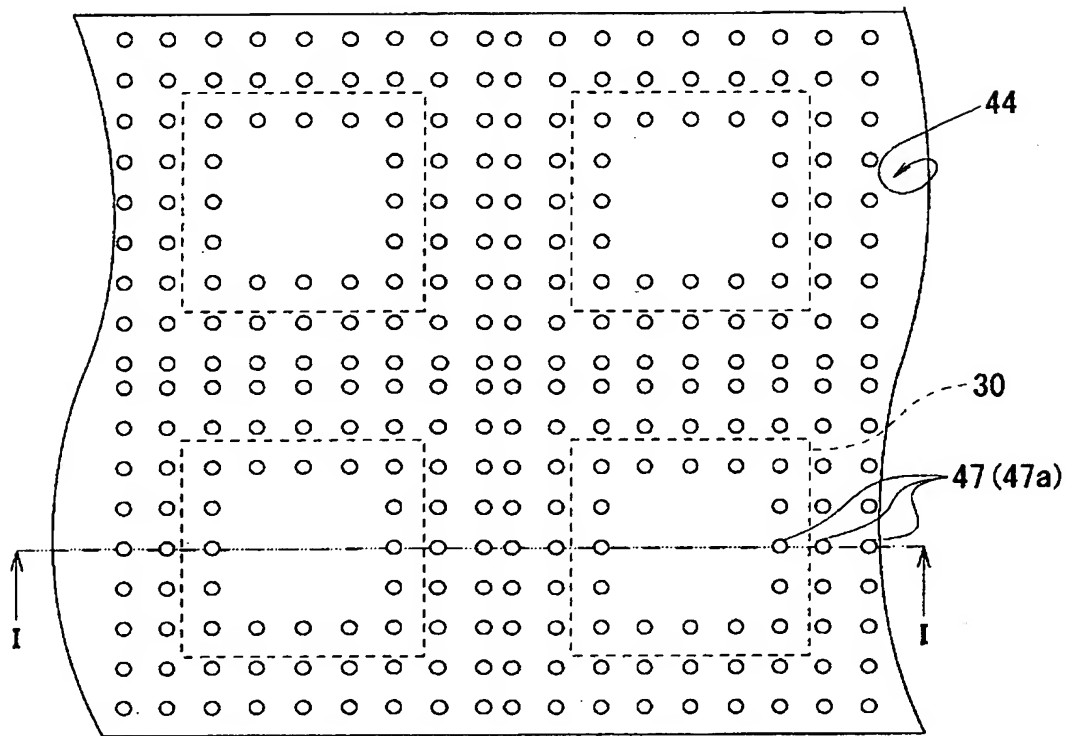
(B)



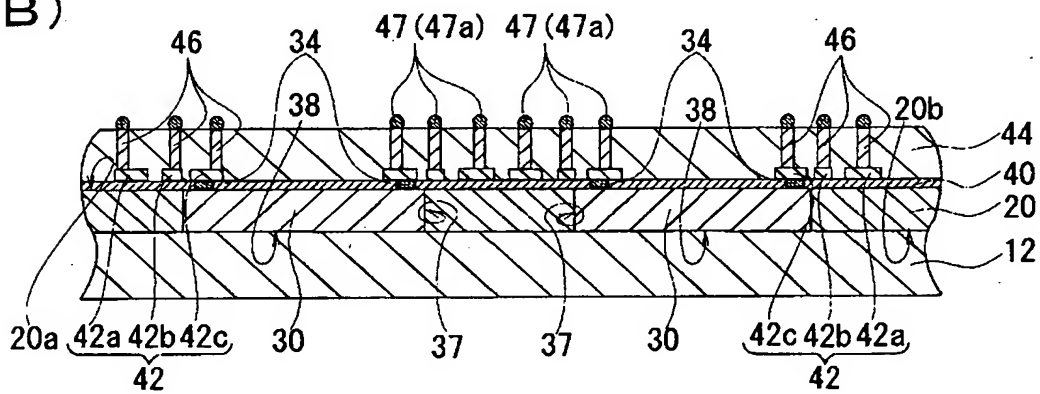
この発明の半導体装置の第1の製造方法 (5)

【図9】

(A)



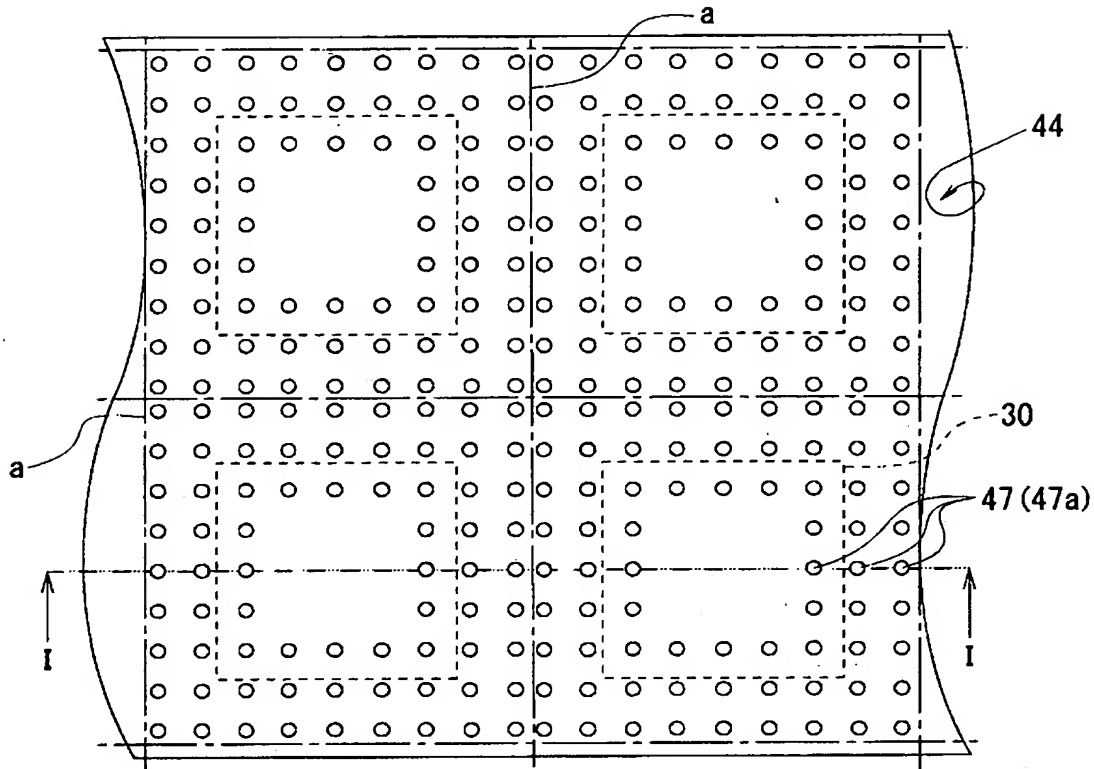
(B)



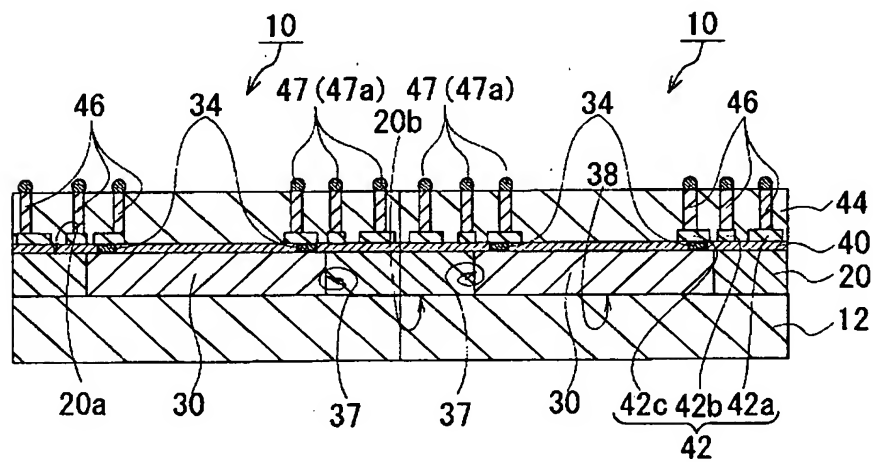
この発明の半導体装置の第1の製造方法(6)

【図10】

(A)



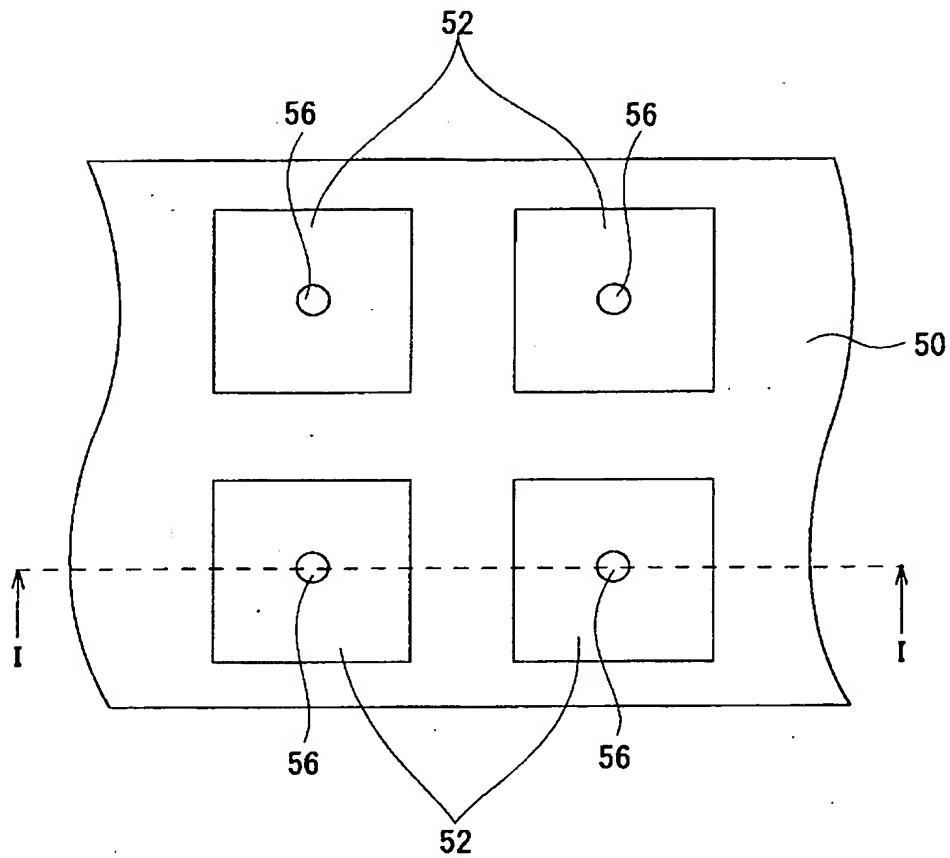
(B)



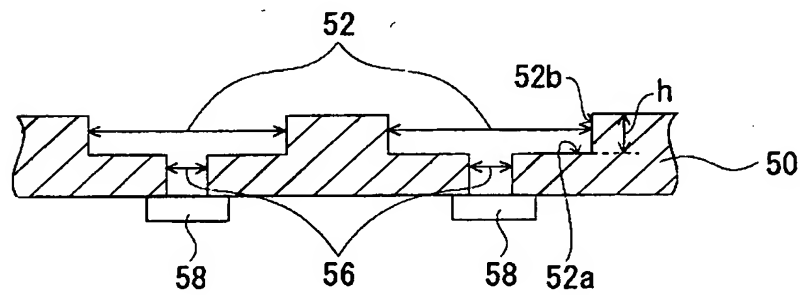
この発明の半導体装置の第1の製造方法(7)

【図 11】

(A)

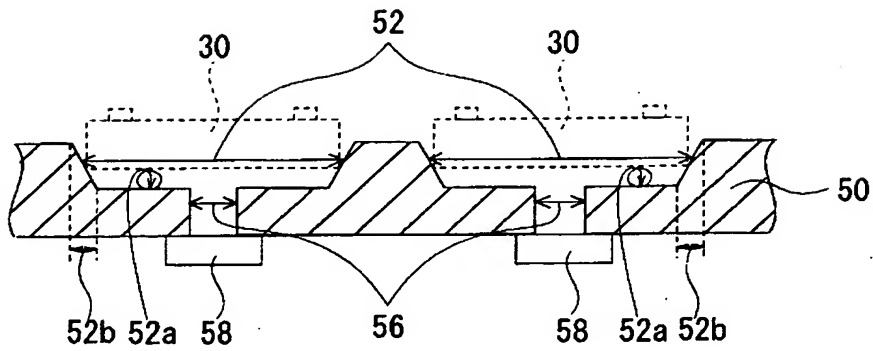


(B)



この発明の半導体装置の製造方法に用いて好適な治具の説明図 (1)

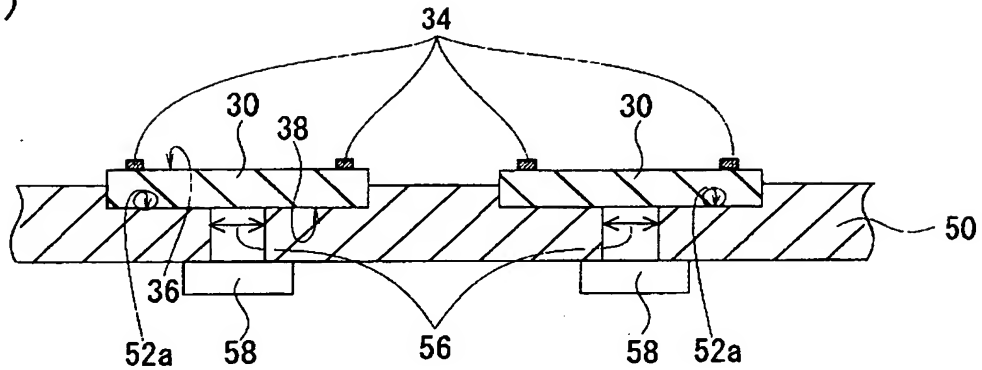
【図 1 2】



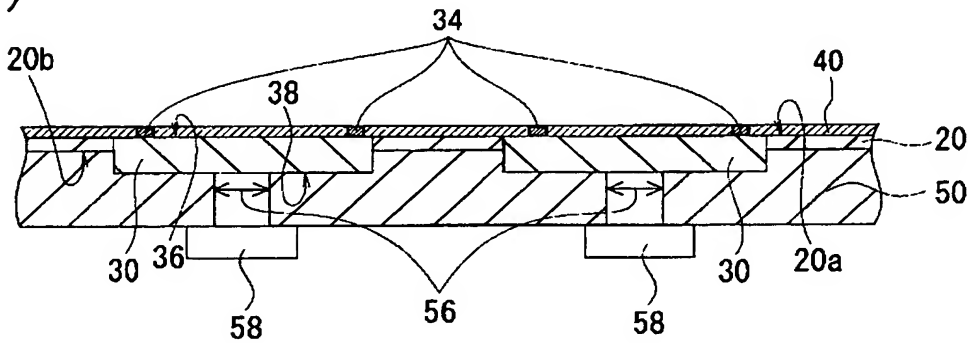
この発明の半導体装置の製造方法に用いて好適な治具の説明図 (2)

【図13】

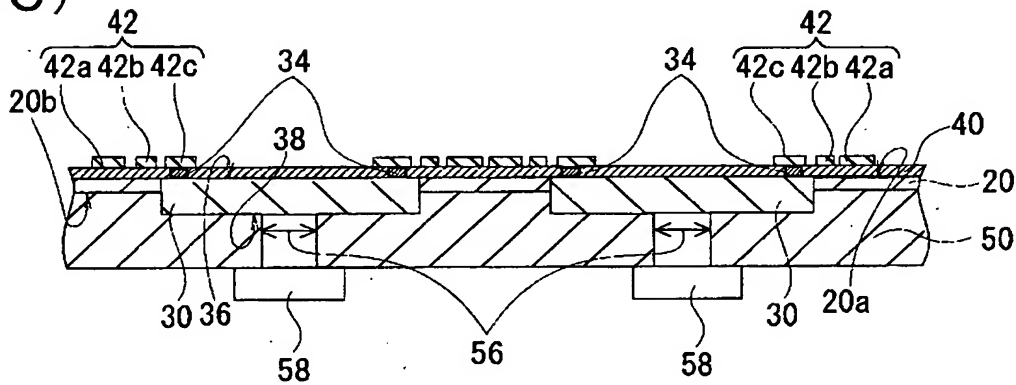
(A)



(B)



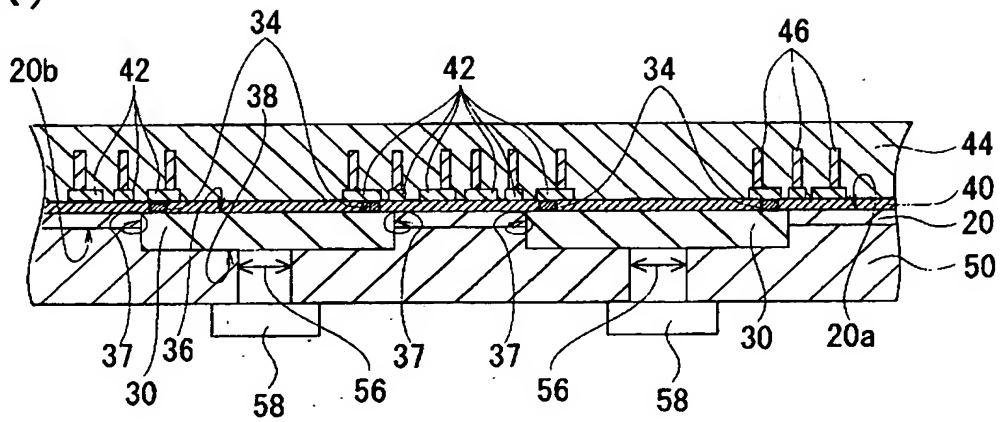
(C)



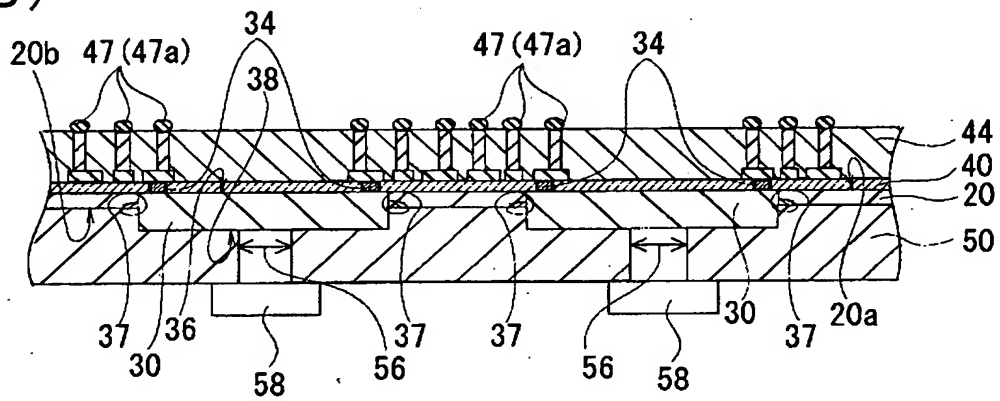
この発明の半導体装置の第2の製造方法(1)

【図14】

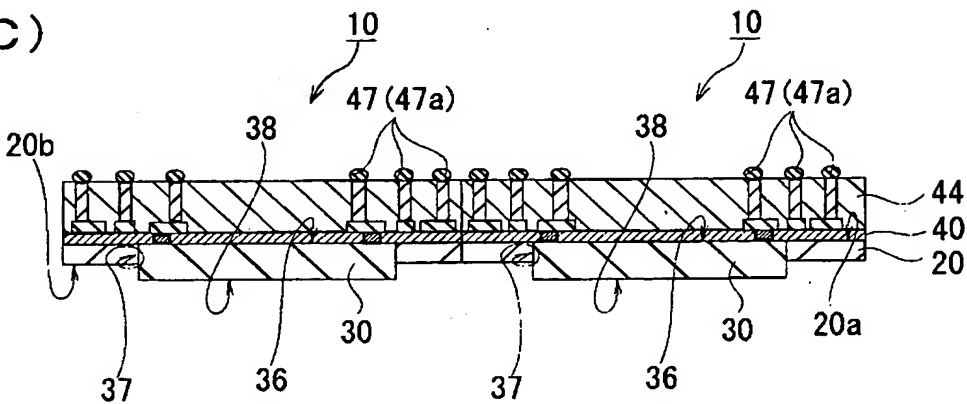
(A)



(B)



(C)



この発明の半導体装置の第2の製造方法(2)

【書類名】 要約書

【要約】

【課題】 外部端子のさらなる増加に対応するための構成を有する半導体装置及びその製造方法。

【解決手段】 半導体装置 1 0 は、複数の電極パッドを具えている第 1 の主表面 3 6 と、第 1 の主表面 3 6 に対向する第 2 の主表面 3 8 と、第 1 の主表面 3 6 と第 2 の主表面 3 8 との間の複数の側面 3 7 とを有する半導体チップ 3 0 と、半導体チップ 3 0 の側面 3 7 に接して半導体チップ 3 0 を囲む拡張部 2 0 と、複数の電極パッド 3 4 を露出するように形成されている絶縁膜 4 0 と、電極パッド 3 4 の各々に個別に電氣的に接続されていて、電極パッド 3 4 から拡張部 2 0 の上側へと導出されている、複数の配線パターン 4 2 と、拡張部 2 0 の上側を含む領域に、配線パターン 4 2 上に設けられた複数の外部端子 4 7 とを具えている。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2002-325772
受付番号	50201692983
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月11日

<認定情報・付加情報>

【提出日】	平成14年11月 8日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社